

(19)日本国特許庁 (J P)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平8-79310

(43)公開日 平成8年(1996)3月22日

(51)Int.Cl. ⁶	識別記号	F I
H04L 13/08	9371-5K	
G06F 13/00	353 C 7368-5E	
H04L 12/40		
	H04L 11/00	320
	9371-5K	13/00 301 Z
	審査請求	未請求 請求項の数5 O L (全23頁) 最終頁に続く

(21)出願番号 特願平6-206587

(22)出願日 平成6年(1994)8月31日

(71)出願人 000001258

川崎製鉄株式会社

兵庫県神戸市中央区北本町通1丁目1番28号

(72)発明者 上田 岳

東京都江東区豊洲三丁目3番3号 豊洲センタービル 川崎製鉄株式会社内

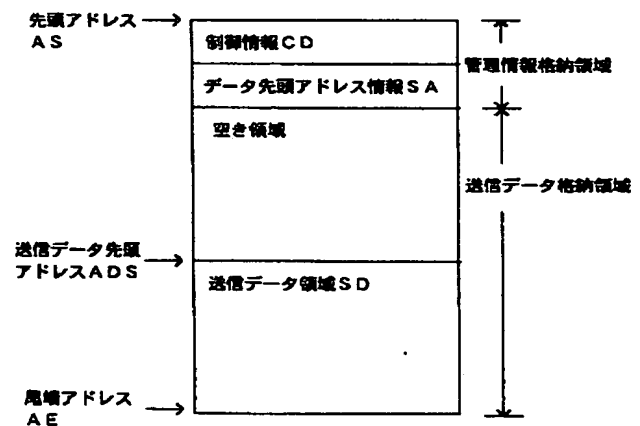
(74)代理人 弁理士 高矢 諭 (外2名)

(54)【発明の名称】 送信用バッファデータ格納方法及び送信用バッファデータ格納装置

(57)【要約】

【目的】 プロトコルヘッダの付加時における、送信用バッファでの送信データの移動処理を減少させる。

【構成】 データ先頭アドレス情報SAを有する管理情報格納領域と共に送信用バッファへ設けられた送信データ格納領域において、送信データは後方側(尾端アドレスAE側)へ詰めるようにして格納される。該送信データが格納された領域SDの前方へ、未使用の空き領域が得られる。プロトコルヘッダは該空き領域へ格納するため、送信データを移動する必要がない。



【特許請求の範囲】

【請求項 1】送信データを記憶容量 L の送信用バッファへ格納する送信データ転送処理の後に、前記送信データの送信時に付加するプロトコルヘッダを送信時のデータ配列順で付加すべく、前記プロトコルヘッダを前記送信用バッファの先頭側へ格納する処理を中心としたヘッダ付加処理を行う送信用バッファデータ格納方法において、

前記送信データ転送処理の際に、前記送信データの先頭及び尾端に関して、該送信データ尾端を後方側へ詰めるようにして該送信データを前記送信用バッファへ格納し、

又、前記送信データ転送処理の際に、このような前記送信データの前記送信用バッファへの格納後の、該送信用バッファにおける前記送信データ先頭の格納位置を示す情報を保存するようにしたことを特徴とする送信用バッファデータ格納方法。

【請求項 2】請求項 1 において、

前記送信データのデータ量 M が前記記憶容量 L より多い場合には、

$\lceil (M/L) \rceil \leq N < \lceil (M+1)/L \rceil$ となる自然数 N に従った、少なくとも合計 N 個の前記送信用バッファを確保し、

前記送信データをその前記送信データ尾端から前記記憶容量 L ずつ順次分割して行き、分割されたものを、その分割順に従った格納順の情報を保存しながら、それぞれの前記送信用バッファへ順次格納するようにしたことを特徴とする送信用バッファデータ格納方法。

【請求項 3】請求項 1 又は 2 において、

前記送信データ転送処理の際に保存する前記送信データ先頭の格納位置を示す情報が、前記送信用バッファにおけるアドレスであることを特徴とする送信用バッファデータ格納方法。

【請求項 4】請求項 2 において、

前記分割順格納順情報が、それぞれの前記送信用バッファ毎に用意されたリンクポイントに記憶される、その送信用バッファに格納されたデータの分割順に従って各送信用バッファに続く、次の送信用バッファの先頭のアドレスであることを特徴とする送信用バッファデータ格納方法。

【請求項 5】送信データを記憶容量 L の送信用バッファへ格納する送信データ転送処理の後に、前記送信データの送信時に付加するプロトコルヘッダを送信時のデータ配列順で付加すべく、前記プロトコルヘッダを前記送信用バッファの先頭側へ格納する処理を中心としたヘッダ付加処理を行う送信用バッファデータ格納装置において、

前記送信データ転送処理の際に、前記送信データの先頭及び尾端に関して、該送信データ尾端を後方側へ詰めるようにして該送信データを前記送信用バッファへ格納す

るデータ転送部と、

又、前記送信データ転送処理の際に、このような前記送信データの前記送信用バッファへの格納後の、該送信用バッファにおける前記送信データ先頭の格納位置を示す情報を保存する先頭アドレス情報保存部とを備えたことを特徴とする送信用バッファデータ格納装置。

【発明の詳細な説明】**【0001】**

【産業上の利用分野】本発明は、送信データを記憶容量 L の送信用バッファメモリへ格納する送信データ転送処理の後に、前記送信データの送信時に付加するプロトコルヘッダを送信時のデータ配列順で付加すべく、前記プロトコルヘッダを前記送信用バッファへ格納する処理を中心としたヘッダ付加処理を行う送信用バッファデータ格納方法及び送信用バッファデータ格納装置に係り、特に、所定のプロトコルに従った送信データを編成するため、該送信データへとプロトコルヘッダを付加する際に、送信用バッファへと格納されている該送信データの移動処理をより減少しながら、又、必要とされる送信用バッファの数や領域の大きさを抑えることができる送信用バッファデータ格納方法及び送信用バッファデータ格納装置に関する。

【0002】

【従来の技術】ローカルエリアネットワーク (local area network、以降、LAN と呼ぶ) は、一般に、0.1 ~ 10 km 程度の範囲で、0.1 ~ 100 MBPS (メガビット/秒) 程度の伝送速度でデジタルデータを伝送するネットワークである。又、LAN は、総合通信システムとしてある種の交換機能を有しており、分散設置されたコンピュータやコンピュータの周辺機器や通信端末機器等を有機的に結合することができる。

【0003】従って、このような LAN によれば、オフィス、工場、研究所、大学の構内等の限定された範囲内において、分散設置されたコンピュータのハードウェア (周辺機器等を含む) やデータベース等を効果的に共用することができる。

【0004】又、デジタルデータ公衆網 (digital data exchange、以降、DDX 網と呼ぶ) によれば、日本国内に限らず、外国とのデータ通信が可能である。又、この DDX 網には、CCITT (international telegraph and telephone consultative committee) 勧告 X.25 等の基準に従ったバケット交換網がある。

【0005】このバケット交換は、バケットと呼ばれる所定バイト単位のプロックに、宛先情報等を含むプロトコルヘッダを付与して、宛先の異なるバケットを同一の伝送路を使って多重伝送するというものである。このようなバケット交換網は、極めて高い伝送品質を得ることができる等の特徴を有している。

【0006】ここで、前述した LAN やバケット交換網においては、一般に複数のレイヤ (層あるいは階層) に

10

20

30

40

50

よって規定されている。

【 0 0 0 7 】例えば図 1 7 に示す如く、前述の C C I T T 勧告で適用される O S I (open systems interconnection) 参照モデル等で規定されるレイヤ構成と共に、I E E E (institute of electrical and electronics engineers) 8 0 2 委員会等で規定される L A N のレイヤ構成が示されている。

【 0 0 0 8 】まず、O S I 等で規定されるレイヤ構成は、この図 1 7 に示される如く、合計 7 レイヤ構成となっている。

【 0 0 0 9 】このようなレイヤ構成において、まず、第 1 のレイヤ、即ちフィジカルレイヤ (Ph 層) は、よりハードウェアに直結した、主として伝送制御に関するものであり、ビット伝送するための機械的・電氣的制御を行う。第 2 のレイヤ、即ちデータリンクレイヤ (D L 層) は、データ転送を行うもので、特に伝送誤りの制御等を行う。第 3 のレイヤ、即ちネットワークレイヤ (N 層) は、1 つ又は複数の通信網を介してなされるデータ通信の中継等を行うものとされる。又、第 5 のレイヤ、即ちセッションレイヤ (S 層) は、データの送受信の制御や同期の制御等を行う。又、これら第 3 のレイヤと第 5 のレイヤとの間の第 4 のレイヤ、即ちトランスポートレイヤ (T 層) は、特に第 5 のレイヤより上位のレイヤに対して、透過的なデータ転送を設定するものである。又、より上位のレイヤとして、第 6 のレイヤのプレゼンテーションレイヤ (P 層) や、第 7 のレイヤのアプリケーションレイヤ (A 層) 等が設定されている。

【 0 0 1 0 】なお、以降の説明では、このようなレイヤ構成において、前述のような、第 1 のレイヤ、第 2 のレイヤ、第 3 のレイヤ・・・となるに従って、その階層 (レイヤ) がより上位になるものとする。

【 0 0 1 1 】一方、I E E E 等の L A N に適用されるレイヤ構成では、例えば、前述の第 2 のレイヤのデータリンクレイヤが分割され、ロジカルリンク制御サブレイヤ (L L C 層) と媒体アクセス制御サブレイヤ (M A C 層) とされている。これら 2 つのサブレイヤと共に、例えば、フィジカルレイヤ (Ph 層) や、ネットワークレイヤ (N 層) や、トランスポートレイヤ (T 層) 等にて構成されている。

【 0 0 1 2 】以上図 1 7 を用い説明したように、標準化されたプロトコルにあっては、通常、多数のレイヤにて規定されているものである。

【 0 0 1 3 】又、各レイヤでは、それぞれ規定されるプロトコルヘッダを順次付加するようにされている。即ち、アプリケーションレイヤやプレゼンテーションレイヤ等、より上位のレイヤからより下位のレイヤへと、送信データが規定のプロトコルへと編成される際、それぞれで規定されるプロトコルヘッダが順次付加されていくものである。

【 0 0 1 4 】図 1 8 は、従来の通信制御装置の一例の構

成を示すブロック図である。

【 0 0 1 5 】この図 1 8 においては、所定のプロトコルに従ってデータを送信したり受信する、C P U 1 に接続される通信制御装置 2 の構成が示されている。特に、前記図 1 7 の右側に示されるレイヤ構成のような、T 層、N 層及び L L C 層のプロトコルに従って、送信データを順次編成している。該通信制御装置 2 は、前記 C P U 1 が伝送路 3 を用いてデータ通信する際に用いられるものである。該通信制御装置 2 は、バス制御部 1 1 と、プロトコル制御部 1 2 B と、回線制御部 1 4 と、バッファメモリ 1 6 B とにより構成されている。

【 0 0 1 6 】まず、前記通信制御装置 2 において、前記プロトコル制御部 1 2 B は、前記バス制御部 1 1 にて前記 C P U 1 へ接続される。該バス制御部 1 1 は、前記 C P U 1 からのコマンドの受付や、送受信データの授受等、C P U インタフェースとしての制御を行う。

【 0 0 1 7 】一方、前記プロトコル制御部 1 2 B は、前記回線制御部 1 4 を介して前記伝送路 3 へ接続される。該回線制御部 1 4 は、このような前記プロトコル制御部 1 2 B を前記伝送路 3 へ接続するための、インタフェースの制御を行うものである。

【 0 0 1 8 】又、前記プロトコル制御部 1 2 B へ接続される前記バッファメモリ 1 6 B は、送信用バッファメモリ 1 6 c と、受信用バッファメモリ 1 6 b とにより構成されている。

【 0 0 1 9 】前記送信用バッファメモリ 1 6 c は、前記 C P U 1 が当該通信制御装置 2 及び前記伝送路 3 を経て、他の C P U 等へデータを送信する際に用いられる。即ち、前記 C P U 1 がデータを送信する際、送信データは、前記プロトコル制御部 1 2 B によって該送信用バッファメモリ 1 6 c へ一時的に格納される。一方、前記受信用バッファメモリ 1 6 b は、前記伝送路 3 及び当該通信制御装置 2 等を経て前記 C P U 1 が他の C P U 等からデータを受信する際、受信されるデータが一時的に格納される。即ち、前記プロトコル制御部 1 2 B 等によって、前記伝送路 3 から受信されたデータが一時的に格納される。

【 0 0 2 0 】図 1 9 は、従来の通信制御装置で用いられる前記プロトコル制御部の構成を示すブロック図である。

【 0 0 2 1 】この図 1 9 に示す如く、前記図 1 8 に示した前記プロトコル制御部 1 2 B は、C P U 送信データ処理部 1 2 j と、T 層データ処理部 1 2 k と、N 層データ処理部 1 2 m と、L L C 層データ処理部 1 2 n と、フレーム送信処理部 1 2 p とにより構成されている。

【 0 0 2 2 】該プロトコル制御部 1 2 B は、これら C P U 送信データ処理部 1 2 j 、T 層データ処理部 1 2 k 、N 層データ処理部 1 2 m 、L L C 層データ処理部 1 2 n 及びフレーム送信処理部 1 2 p によって、例えば、プロトコルヘッダの付加や、送信データの分割等を、前記バ

ッファメモリ 1 6 B を用いながら行う。

【 0 0 2 3 】ここで、プロトコルヘッダの付加とは、各レイヤのプロトコルに関する規定に従って送信データを編成する際、そのレイヤで規定されるプロトコルヘッダを作成し、これを送信データへ付加するというものである。又、送信データの分割とは、各レイヤのプロトコルで一度に転送できるデータ長に制限があるため、このデータ長より多量のデータを送信する際、上位のレイヤから受取る送信データを複数の送信データへ分割するというものである。このように分割することで、各レイヤでのデータ長の制限範囲内に、送信データの長さを抑えることができる。

【 0 0 2 4 】図 2 0 は、従来の通信制御装置で用いられる送信バッファの構成図である。

【 0 0 2 5 】この図 2 0 に示される送信バッファは、前記図 1 8 に示した前記送信用バッファメモリ 1 6 c 内に設定される複数の送信バッファのうちの 1 つの構成を示すものである。該送信バッファは、前記送信用バッファメモリ 1 6 c 内の所定の領域が確保され、これによって用意される。

【 0 0 2 6 】この図 2 0 に示される如く、該送信用バッファメモリ 1 6 c のアドレスの昇方向へ順に（即ち前記バッファメモリ 1 6 B のアドレスの昇方向に順に）、制御情報 C D の領域と、データ長 L D の領域と、送信データ領域 S D と、特に未使用な領域、即ち空き領域とにより構成される。

【 0 0 2 7 】ここで、前記制御情報 C D の領域と前記データ長 L D の領域とで構成される領域を、管理情報格納領域とする。又、実際に送信データが格納されている。前記送信データ領域 S T と共に前記空き領域を含め、送信データ格納領域とする。又、このように前記管理情報格納領域と前記送信データ格納領域とで構成される前記送信バッファは、先頭アドレス A S から尾端アドレス A E までの領域である。又、前記送信データ格納領域において、実際に送信データが格納されている領域、即ち前記送信データ領域 S D は、送信データ先頭アドレス A D S から送信データ尾端アドレス A D E までの領域である。

【 0 0 2 8 】ここで、前記制御情報 C D は、当該送信用バッファの管理に用いる情報である。例えば、当該送信用バッファのそのバッファ全長（ $A E - A S + 1$ ）等である。又、前記データ長 L D には、前記送信データ先頭アドレス A D S から前記送信データ尾端アドレス A D E までの前記送信データ領域 S D のデータ長が書き込まれる。即ち、前記データ長 L D には、 $(A D E - A D S + 1)$ の値が書き込まれる。

【 0 0 2 9 】この図 2 0 に示される前記送信用バッファを用いながら、前記プロトコル制御部 1 2 B は、図 2 1 ~ 図 2 4 に順に示す如く、各レイヤに対応するプロトコルヘッダを順次付加しながら、所定のプロトコルの編成

を行う。即ち、T 層のプロトコルヘッダ H T A、N 層のプロトコルヘッダ H N A 及び L L C 層のプロトコルヘッダ H L L C A をこの順に、順次付加しながら、前記図 2 4 に示されるような送信データを最終的に得る。

【 0 0 3 0 】即ち、まず前記図 2 1 に示す如く、前記 C P U 1 から送られた送信データ、即ち C P U 送信データ S D A が、前記プロトコル制御部 1 2 B によって、前記送信バッファへ書き込まれる。このときの前記送信データ尾端アドレスは、この図 2 1 の如く A D E 1 となる。又、このときのデータ長、即ち L D A 1 は $(A D E 1 - A D S + 1)$ となる。この図 2 1 に示すプロトコルの編成は、前記 C P U 送信データ処理部 1 2 j によってなされる。

【 0 0 3 1 】続いて、前記図 2 2 に示す如く、T 層のプロトコルに従った送信データの編成がなされる。これは、主として、T 層のプロトコルヘッダ H T A の付加というものである。

【 0 0 3 2 】この T 層プロトコルヘッダ H T A の付加に際しては、まず、該 T 層プロトコルヘッダ H T A を付加する領域を得るため、前記 C P U 送信データ S D A を前記送信データ格納領域の、より後方へ移動する（送信データの移動処理）。例えば、前記 T 層プロトコルヘッダ H T A のデータ長を $(A D S 2 - A D S + 1)$ とすれば、前記 C P U 送信データ S D A の前記送信データ尾端アドレスが $(A D E + (A D S 2 - A D S + 1))$ （ $= A D E 2$ ）となるまで、前記 C P U 送信データ S D A を前記送信データ格納領域の、より後方へ移動する。従って、前記空き領域は、この移動の分だけ縮小される。

【 0 0 3 3 】このように前記送信データの移動処理がなされると、前記 C P U 送信データ S D A の上方の直前へ、前記 T 層プロトコルヘッダ H T A を格納する領域が確保される。従って、前記 T 層プロトコルヘッダ H T A の生成後、該 T 層プロトコルヘッダ H T A を、前記データ長 L D A 2 の格納領域と前記 C P U 送信データ S D A の格納領域との間へ格納する。

【 0 0 3 4 】又、この後、前記データ長 L D A 2 の値は、 $(A D E 2 - A D S + 1)$ に更新される。

【 0 0 3 5 】なお、以上説明したような T 層のプロトコルに従った送信データの編成は、前記図 1 9 に示す前記 T 層データ処理部 1 2 k によってなされる。

【 0 0 3 6 】又、該 T 層のプロトコルの送信データの編成と同様に、前記 N 層データ処理部 1 2 m によって、前記図 2 3 に示されるような前記 N 層のプロトコルに従った前記送信データが編成される。この前記 N 層のプロトコルの前記送信データは、主として、前記 T 層のプロトコルの前記送信データに対して前記 N 層のプロトコルヘッダ H N A を付加することによって行われる。

【 0 0 3 7 】又、前記 L L C 層データ処理部 1 2 n によって、前記 N 層のプロトコルに従った前記送信データに対して、前記 L L C 層のプロトコルヘッダ H L L C A を

付加する。これによって、前記図 2 4 に示されるような前記 L L C 層のプロトコルに従った前記送信データが編成される。

【0038】このように、順次前記 T 層や前記 N 層や前記 L L C 層のプロトコルヘッダを付加する際には、その度に前記送信データの移動処理が行われるものである。これによって、前記 C P U 送信データ S D A のその前記送信データ先頭アドレス及びその前記送信データ尾端アドレスは、A D S 及び A D E 1、A D S 2 及び A D E 2、A D S 4 及び A D E 4 と、順次後方へ移動される。

【0039】ここで、前記図 2 0 に示す前記送信データ格納領域の大きさに比べ、格納すべき前記送信データのデータ長が長い場合、図 2 5 に示すような、格納する送信データの分割がなされる。

【0040】即ち、この図 2 5 に示すように、送信データ S D 1 ~ S D 3 にて構成される、前記送信バッファへ格納される 1 つの送信データの全体の長さが、該送信バッファの前記送信データ格納領域の記憶容量 L より長い場合には、該送信データを、その先頭から前記記憶容量 L 毎に順次分割する。即ち、前記記憶容量 L と同一のデータ長の前記送信データ S D 1 と、前記記憶容量 L と同じデータ長の前記送信データ S D 2 と、前記記憶容量 L 未満のデータ長 (A 4 - A 3 + 1) の前記送信データ S D 3 とに分割する。

【0041】又、このように送信データを分割する場合には、図 2 6 に示すような構成の送信バッファを用いる。この図 2 6 に示される前記送信バッファは、前記図 2 0 に示したものに比べて、特にリンクポインタ L P を有している点が異なる。該リンクポインタ L P は、前述のように複数の分割された前記送信データそれぞれが異なる前記送信用バッファへ格納される際、各送信用バッファのその次に続く他の送信用バッファの先頭アドレスを示すものである。

【0042】例えば図 2 7 に示すような、送信データ S D B 1 と送信データ S D B 2 とで構成される、その全体のデータ長が L より長く且つ 2 L 以下のある 1 つの送信データについて、前記記憶容量 L と同じデータ長の前記送信データ S D 1 と、前記記憶容量 L 以下のデータ長 (A 8 - A 7 + 1) の前記送信データ S D 2 とに分割するものである。これは、該送信データの先頭側から分割される。この場合には、図 2 8 に示す通り、2 つの前記送信用バッファが用いられる。これら送信用バッファは、前記図 2 6 に示したものである。

【0043】ここで、前記図 2 8 において、制御情報 C D B 1、リンクポインタ L P B 1 及びデータ長 L D B 1 等によって構成される前記送信バッファへと、まず、前記送信データ S D B 1 が格納される。又、制御情報 C D B 2、リンクポインタ L P B 2 及びデータ長 L D B 2 等で構成される前記送信バッファへと、前記送信データ S D B 2 が格納される。このように前記送信データ S D B

1 及び S D B 2 が格納される場合、前記送信データ S D B 1 を格納した送信バッファの前記リンクポインタ L P B 1 へは、前記送信データ S D B 2 を格納した前記送信バッファの先頭アドレスが、この図 2 8 で矢印で示すように格納される。

【0044】ここで、この図 2 8 に示されるように 2 つの送信バッファに跨って格納された送信データに対して、前記 T 層のプロトコルの送信データを編成すべくそのプロトコルヘッダ H T B を付加し、前記 N 層のプロトコルの送信データを編成するためそのプロトコルヘッダ H N B を付加し、前記 L L C 層のプロトコルの送信データを編成すべくそのプロトコルヘッダ H L L C B を付加する際、前記図 2 1 ~ 前記図 2 4 で前述したような送信データ S D A の移動処理を、2 つの送信バッファに跨って行うことも考えられる。即ち、前記図 2 8 に示す 2 つの前記送信バッファに跨って、それぞれのレイヤにおけるプロトコルヘッダ H T B、H N B 及び H L L C B の付加に伴った、それぞれのレイヤにおける送信データの移動処理を行うことも考えられる。

【0045】一方、前記図 2 8 に示されるような 2 つの前記送信バッファに跨った前記送信データに対して、前記 T 層や前記 N 層や前記 L L C 層のプロトコルヘッダ H T B、H N B 及び H L L C B の付加に伴って、図 2 9 ~ 図 3 1 に示す如く、各プロトコルヘッダ毎に 1 つの送信バッファを割り付けることも考えられる。

【0046】即ち、まず、前記 T 層のプロトコルの送信データを編成する際、付加されるプロトコルヘッダ H T B を格納するため、前記図 2 9 に示す如く、専用の 1 つの前記送信バッファを準備する。又、該プロトコル H T B の格納された該送信バッファにおいて、そのリンクポインタ L P B 3 へは、前記送信データ S D B 1 を格納した前記送信バッファの先頭アドレスを書き込む。

【0047】続いて、前記 N 層のプロトコルの前記送信データを編成する際には、前記図 3 0 に示す如く、専用の 1 つの送信バッファを用意し、該 N 層のプロトコルヘッダ H N B を格納する。該プロトコルヘッダ H N B が格納された該送信バッファのリンクポインタ L P B 4 には、前記プロトコルヘッダ H T B が格納された前記送信バッファの先頭アドレスが格納される。

【0048】更に、前記 L L C 層のプロトコルの前記送信データを編成する際には、前記図 3 1 に示される如く、専用の 1 つの前記送信バッファを用意し、該送信バッファのその前記送信データ格納領域へ前記プロトコルヘッダ H L L C B を格納する。又、該プロトコルヘッダ H L L C B が格納された該送信バッファのリンクポインタ L P B 5 には、前記プロトコルヘッダ H N B が格納された前記送信バッファの先頭アドレスが格納される。

【0049】なお、前記図 2 5 や前記図 2 7 に示す如く、1 つの前記送信データを複数の分割する際には、前記送信バッファの前記記憶容量を、各レイヤ (各層) の

最大送信データ長のうち、最小のものの約数にしておくことが好ましい。これによって、より能率良く、送信バッファの前記記憶容量Lに納まるように、送信データの分割を行うことができる。又、これに伴った複数の送信バッファのリンクを、より容易に行うことができる。又、必要に応じ、送信バッファのリンクを切断し、新たな送信バッファを挿入して、プロトコルヘッダを格納することも、より容易に行うことが可能である。

【 0 0 5 0 】

【発明が達成しようとする課題】しかしながら、前述した従来の通信制御装置においては、所定のプロトコルに従った送信データを編成するため、該送信データへとプロトコルヘッダを付加する際に、送信バッファ等へと格納されている該送信データの移動処理を行わなければならない。

【 0 0 5 1 】例えば、前記図 2 1 ~ 前記図 2 4 にあっては、前記 T 層のプロトコルヘッダ H T A、前記 N 層のプロトコルヘッダ H N A 及び前記 L L C 層のプロトコルヘッダ H L L C A を付加する度に、前記 C P U 送信データ S D A に対する移動処理を行わなければならない。即ち、前記送信データ格納領域にあって、このようにプロトコルヘッダを付加する度に、後方へと、その時に付加するプロトコルヘッダ H T A、H N A あるいは H L L C A の長さ分だけ前記 C P U 送信データ S D A を移動しなければならない。

【 0 0 5 2 】又、例えば前記図 2 8 に示すように、2 つの前記送信バッファへ跨って、分割ぬれた前記送信データ S D B 1 及び S D B 2 がそれぞれ格納される場合、このような送信データの移動処理はより煩雑になってしまう。即ち、このような送信データの移動処理は、プロトコルヘッダを付加する毎に、2 つの送信バッファに跨って行わなければならない。

【 0 0 5 3 】なお、前記図 2 9 ~ 前記図 3 1 に示したように、付加するプロトコルヘッダ H T B、H N B 及び H L L C B 毎に、専用の 1 つの前記送信バッファを用意し、これを順次リンクしていく場合では、このような送信データの移動処理を行う必要はない。しかしながら、各プロトコルヘッダに対して専用の 1 つの前記送信バッファを用いてしまうため、必要とされる送信バッファの数やその領域の大きさが増大してしまうという問題がある。

【 0 0 5 4 】又、このように多数の送信バッファを獲得するためには、このための処理を要する。送信バッファを獲得する処理は、前記送信用バッファメモリ 1 6 c 中での空きエリアを検索したり、場合によっては小さな空きエリアの統合や整理等を行う必要があるため、比較的時間がかかるものである。従って、このように多数の送信バッファを獲得するようにした場合には、全体の処理時間が延長されてしまうという問題を生じてしまう。

【 0 0 5 5 】本発明は、前記従来の問題点を解決するべ

くなされたもので、所定のプロトコルに従った送信データを編成するため、該送信データへとプロトコルヘッダを付加する際に、送信バッファ等へと格納されている該送信データの移動処理をより減少しながら、又、必要とされる送信バッファの数や領域の大きさを抑えることができる送信用バッファメモリデータ格納方法及び送信用バッファメモリデータ格納装置を提供することを目的とする。

【 0 0 5 6 】

【課題を達成するための手段】まず、本願の第 1 発明の送信用バッファデータ格納方法は、送信データを記憶容量 L の送信用バッファへ格納する送信データ転送処理の後に、前記送信データの送信時に付加するプロトコルヘッダを送信時のデータ配列順で付加すべく、前記プロトコルヘッダを前記送信用バッファの先頭側へ格納する処理を中心としたヘッダ付加処理を行う送信用バッファデータ格納方法において、前記送信データ転送処理の際に、前記送信データの先頭及び尾端に関して、該送信データ尾端を後方側へ詰めるようにして該送信データを前記送信用バッファへ格納し、又、前記送信データ転送処理の際に、このような前記送信データの前記送信用バッファへの格納後の、該送信用バッファにおける前記送信データ先頭の格納位置を示す情報を保存するようにしたことにより、前記課題を達成可能な送信用バッファデータ格納方法を提供したものである。

【 0 0 5 7 】又、前記第 1 発明の前記送信用バッファデータ格納方法において、前記送信データのデータ量 M が前記記憶容量 L より多い場合には、 $\lfloor (M/L) \rfloor \leq N < \lfloor (M+1)/L \rfloor$ となる自然数 N に従った、少なくとも合計 N 個の前記送信用バッファを確保し、前記送信データをその前記送信データ尾端から前記記憶容量 L ずつ順次分割して行き、分割されたものを、その分割順に従った格納順の情報を保存しながら、それぞれの前記送信用バッファへ順次格納するようにしたことにより、前記課題を達成すると共に、前記送信データのデータ量 M が前記記憶容量 L より多い場合にも、より効果的に対応可能としたものである。

【 0 0 5 8 】又、前記第 1 発明の前記送信用バッファデータ格納方法において、前記送信データ転送処理の際に保存する前記送信データ先頭の格納位置を示す情報が、前記送信用バッファにおけるアドレスであることにより、前記課題を達成すると共に、前記送信用バッファに書き込まれた情報の読み出しに要する処理等の効率の向上等を図り、処理速度の向上等を可能としたものである。

【 0 0 5 9 】又、前記第 1 発明の前記送信用バッファデータ格納方法において、前記分割順格納順情報が、それぞれの前記送信用バッファ毎に用意されたリンクポイントに記憶される、その送信用バッファに格納されたデータの分割順に従って各送信用バッファに続く、次の送信

用バッファの先頭のアドレスであることにより、前記課題を達成すると共に、前記送信データの前記データ量Mが前記記憶容量Lより多い場合により効果的に対応できるようにすると共に、その際の前記送信用バッファを読み出す際の処理の効率向上等、又、これによる処理速度の向上等を図ったものである。

【0060】一方、本願の第2発明の送信用バッファデータ格納装置は、送信データを記憶容量Lの送信用バッファへ格納する送信データ転送処理の後に、前記送信データの送信時に付加するプロトコルヘッダを送信時のデータ配列順で付加すべく、前記プロトコルヘッダを前記送信用バッファの先頭側へ格納する処理を中心としたヘッダ付加処理を行う送信用バッファデータ格納装置において、前記送信データ転送処理の際に、前記送信データの先頭及び尾端に関して、該送信データ尾端を後方側へ詰めるようにして該送信データを前記送信用バッファへ格納するデータ転送部と、又、前記送信データ転送処理の際に、このような前記送信データの前記送信用バッファへの格納後の、該送信用バッファにおける前記送信データ先頭の格納位置を示す情報を保存する先頭アドレス情報保存部とを備えたことにより、前記課題を達成可能な送信用バッファデータ格納装置を提供したものである。

【0061】

【作用】送信用データを記憶容量Lの送信用バッファへ格納する送信データ転送処理の後に、前記送信データの送信時に付加するプロトコルヘッダを送信時のデータ配列順で付加すべく、前記プロトコルヘッダを前記送信用バッファへ格納する際、該プロトコルヘッダについては、特に、その前記送信データの前方（先端側）の直前へと格納されるものである。本願の前記第1発明及び前記第2発明は、いずれもこのように、前記送信データの前方の直前に格納されるという点に着目してなされたものである。

【0062】このように前記プロトコルヘッダを前記送信データの前方の直前へ付加し格納するため、前述のような前記送信データの移動処理を行わなくても、前記送信データの前方に空き領域が既にあることが望ましい。このため、本発明においては、前記送信データ転送処理の際に、前記送信用バッファへ格納するその前記送信データの先端及び尾端に関して、該送信データ尾端を後方側へ詰めるようにして該送信データを前記送信用バッファへ格納するようにしている。

【0063】このように後方側へ詰めて格納することで、前記送信用バッファの前記記憶容量Lに対して、格納する前記送信データのデータ長Mが短い場合には、該送信データの前方（直前）へ空き領域ができる。従って、本願の前記第1発明及び前記第2発明によれば、特にその前記送信データの移動処理を行わずに、該送信データの前方へと空き領域を設けることができる。又、該

空き領域を有効に用いて、必要なプロトコルヘッダを即座に付加することができる。

【0064】図1は、本願の前記第1発明及び前記第2発明の要旨を示すその用いる送信用バッファのアドレスマップである。

【0065】この図1においては、前記第1発明の前記送信用バッファデータ格納方法で用いられるその前記送信用バッファの1つ分の、あるいは、前記第2発明の前記送信用バッファデータ格納装置で用いられる前記送信用バッファの1つ分のメモリマップが示されている。

【0066】この図1においては、前記第1発明あるいは前記第2発明で用いられる前記送信用バッファは、管理情報格納領域及び送信データ格納領域にて構成される。特に、前記管理情報格納領域は、制御情報CDの格納領域と、データ先頭アドレス情報SAの格納領域とにより構成される。一方、前記送信データ格納領域は、特に前記送信データが格納されている送信データ領域SDと、特に前記送信データが格納されていない未使用の空き領域とによって構成されている。

【0067】まず、前記制御情報CDについて、前記第1発明及び前記第2発明は、これを有することに限定されるものではなく、又その内容についても限定するものではない。しかしながら、一般には、各送信用バッファは、何らかの制御情報を有するもの等で、このような制御情報CDの領域を備えるものである。

【0068】又、前記データ先頭アドレス情報SAは、前記送信データ格納領域へ格納される前記送信データ領域SDのその先頭、即ち送信データ先頭のアドレス（格納位置）を示す情報である。前記送信データ格納領域へ格納される、前記送信データについては、そのデータ長は種々の長さとなるものである。従って、前記図20や前記図26に示される前記データ長LDに相当する何らかの情報（データ）を保存する必要がある。本発明は、このような前記送信用バッファへ格納する前記送信データのその先頭の格納位置を示す情報について特に限定するものではない。

【0069】例えば、該データ先頭アドレス情報SAを前記送信用バッファにおけるアドレス、例えばその絶対アドレスや、前記先頭アドレスSAに対する相対的なアドレスとした場合には、前記図1に示される前記送信データ先頭アドレスADSを即座に知ることができる。通常、前記送信データを読み出す際、まず、該送信データ先頭アドレスADSを要する。従って、このようにした場合には、該送信データ先頭アドレスADSを即座に得ることができるため、その演算速度や処理速度の向上を図ることが可能である。

【0070】又、この図1において、前述したように、前記送信データは、前記送信用バッファ、特に前記送信データ格納領域において、その後方側へと詰めて格納される。従って、空き領域は、この図1に示される如く、

前記送信データ領域SDの先頭側になる。なお、該送信データ領域SDについて、その先頭アドレスは、前記図1に示されるような送信データ先頭アドレスADSとなる。

【0071】この図1に示される如く、前記第1発明あるいは前記第2発明によれば、前記送信データ領域SDの先頭側には前記空き領域が生じ、例えば所定のプロトコルに従った送信データを編成する際、そのプロトコルヘッダを前記送信データの先頭へより容易に付加することが可能である。従って、前記送信データの移動処理をより減少することが可能である。又、複数の前記送信用バッファを用いる場合には、必要とされる送信バッファの数や領域の大きさを抑えながら、前記送信データの移動処理をより減少することも可能である。

【0072】なお、本願の前記第1発明及び前記第2発明は、前記図20に示す従来の送信バッファのような複数の送信バッファをリンクしないものや、前記図26に示される従来の送信バッファのような複数の送信バッファをリンクするもの等の、いずれかに限定されるものではない。即ち、前記図26の従来のものの如く、リンクポインタ等を用い、複数の送信用バッファを用いるものであっても適用することができる。従来、このように複数の前記送信用バッファを用いたものでは複数の送信用バッファに跨って前述のような前記送信データの移動処理を行わなければならない、その処理がかなり煩雑になっていた。

【0073】しかしながら、このように複数の前記送信用バッファを用いるものに対して前記第1発明あるいは前記第2発明を適用することで、このような複雑な処理を削減することが可能である。この際、前記図29～図31に示したような多数の前記送信用バッファを用いる必要も特になく、必要とされる送信バッファの数や領域の大きさを抑えることも可能である。

【0074】なお、このように前記第1発明あるいは前記第2発明を複数の前記送信用バッファを用いることに適用した場合にあっては、前記図26等々に示される前記リンクポインタLPのような、分割後の前記送信データが順次複数の前記送信用バッファに格納される際の、その分割順に対するその格納順の情報を保存する必要がある。本発明においては、このような格納順の情報について特に限定するものではないが、例えば前記図26に示したようなリンクポインタとすることで、その前記送信用バッファに格納されるその前記送信データを読み出す際、即座に複数の送信用バッファをリンクすることができ、その読み出し等に要する処理の効率を向上し、その処理時間をより短縮することが可能である。

【0075】

【実施例】以下、図を用いて本発明の実施例を詳細に説明する。

【0076】図2は、前記第1発明の前記送信用バッ

ファデータ格納方法及び前記第2発明の前記送信用バッファデータ格納装置が適用された通信制御装置の実施例の構成を示すブロック図である。

【0077】この図2と前記図18に示す前述した従来の通信制御装置とを比較して明らかな如く、本実施例はプロトコル制御部12Aとバッファメモリ16Aが、前記図18のものと異なる。又、特に前記バッファメモリ16Aにあって、この図2の送信用バッファメモリ16aが、前記図18の前記送信用バッファメモリ16cと異なる。

【0078】これらプロトコル制御部12A及びバッファメモリ16Aに関する、前記バス制御部11や前記回線制御部14等に対する処理は、前記図18に示した前記プロトコル制御部12Bや前記バッファメモリ16B等と同等のものである。これらプロトコル制御部12Aやバッファメモリ16Aについては、その内部処理において、前記第1発明や前記第2発明を適用した点で前記図18の従来のものと異なるのみである。

【0079】図3は、前記実施例で用いられる前記プロトコル制御部の構成を示すブロック図である。

【0080】この図3に示される前記プロトコル制御部12Aは、特に、CPU送信データ処理部12aと、T層データ処理部12bと、N層データ処理部12cと、LLC層データ処理部12dと、フレーム送信処理部12eとにより構成される。

【0081】これらについて、それぞれの機能は、同一の名称の前記図19に示される対応するものと同一である。即ち、これらCPU送信データ処理部12a、T層データ処理部12b、N層データ処理部12c、LLC層データ処理部12d及びフレーム送信処理部12eについては、その機能を達成するその内部処理が、特に前記図19に示す同名称のものと異なるのみである。

【0082】図4は、前記実施例が有する前記CPU送信データ処理部12aの構成を示すブロック図である。

【0083】この図4に示す如く、前記CPU送信データ処理部12aは、特に、送信要求受付部13aと、バッファメモリ獲得部13bと、データ転送部13cと、先頭アドレス情報保存部13dとにより構成されている。なお、このような該CPU送信データ処理部12aの実際の処理については、図14のフローチャートを用い、より詳しく後述する。

【0084】図5は、本実施例で用いられる前記送信用バッファの1つ分の構成を示すメモリマップである。

【0085】前記図2に示される前記送信用バッファメモリ16aには、必要に応じ、この図5に示されるような構成の前記送信バッファの領域が適宜確保される。又、場合によっては複数の該送信バッファが用意される場合もある。

【0086】この図5に示される如く、本実施例の前記送信バッファは、制御情報CDの領域と、リンクポイン

10

20

30

40

50

タLPの領域と、データ先頭アドレス情報SACの領域と、送信データ領域SDと、空き領域とにより構成される。

【0087】特に、本実施例で用いられる送信用バッファは、前記図1に示す前述のものに対して、更に、前記リンクポインタLPを備えている。該リンクポインタLPは、前記図26～前記図31を用いて前述したものと同一ものである。

【0088】又、本実施例では、前記図1にある前記データ先頭アドレス情報SAに対応するデータ先頭アドレス情報SACを備えている。該データ先頭アドレス情報SACは、前記送信データ領域SDの先頭アドレス、即ち前記図5に図示される送信データ先頭アドレスADSが記憶される。特に、該送信データ先頭アドレスADSの絶対アドレスが記憶される。

【0089】以下、本実施例での前記送信用バッファの利用方法について、より具体的に説明する。

【0090】まず、本実施例の前記送信用バッファのその記憶容量Lに関して、前記CPU1から送られるCPU送信データSDCのデータ長と、該CPU送信データに関して、前記T層のプロトコル編成時に付加されるプロトコルヘッダHTCのデータ長と、前記N層のプロトコル編成時に付加されるプロトコルヘッダHNCのデータ長と、前記LLC層のプロトコル編成時に付加されるプロトコルヘッダHLLCCのデータ長との、これらデータ長の合計が前記記憶容量Lに対して短い場合、図6～図9に示される通りとなる。

【0091】即ち、まず、前記図6に示す如く、前記CPU1から前記CPU送信データSDCが送られると、本実施例の前記送信用バッファへは、後方側へ詰めるようにして、前記CPU送信データSDCが格納される。従って、空き領域は、前記送信データ格納領域の上方側となる。即ち、前記データ先頭アドレス情報SAC1と前記CPU送信データSDCとの間が空き領域となる。

【0092】次に、前記T層のプロトコル編成に際して、その前記プロトコルヘッダHTCを付加すると、前記図7に示す通りとなる。即ち、前記送信データ格納領域において後方側へ詰めるようにして格納された前記CPU送信データSDCの直前へ、前記プロトコルヘッダHTCが格納される。このような該プロトコルヘッダHTCの格納の際、その格納位置は前記空き領域となっているため、特に前記送信データSDCの移動処理は要しない。

【0093】以下同様に、前記N層や前記LLC層のプロトコル編成の際、それぞれのプロトコルヘッダHNCあるいはHLLCCの付加の際にも、前記送信データ格納領域中の空き領域が用いられる。従って、該空き領域が存在すれば、前記図8や前記図9に示す如く、このようなプロトコルの編成時におけるプロトコルヘッダHNCあるいはHLLCCの格納を即座に行うことができ、

該格納のためのスペースを得るための前記CPU送信データSDCの移動処理は不要となる。即ち、前記図8の如くまず前記プロトコルヘッダHNCを格納後、前記図9の如く、前記プロトコルヘッダHLLCCを格納する。

【0094】次に、図10は、送信データSDD1～SDD4でなる1つのCPU送信データを対象とした場合のものである。この図10において、特に該CPU送信データのその合計のデータ長が、本実施例の送信用バッファの前記記憶容量Lについて、3Lより長く、且つ、4L以下の場合である。

【0095】このような場合には、この図10に示される如く、4つの前記送信用バッファに対応して、その前記送信データの尾端側から順に、前記記憶容量Lずつ順次分割され、分割されたものがそれぞれ別の前記送信用バッファへ順次格納される。又、その分割順に対するその格納順の情報として、それぞれの前記送信用バッファのリンクポインタLPD1～LPD4の値が記憶保存される。

【0096】ここで、このように前記送信データの尾端から順次分割されるため、該送信データの先頭側の部分、即ち、前記送信データSDD1の前方の直前の部分へと、空き領域が存在する。従って、前記T層や前記N層又前記LLC層のプロトコルの送信データの編成時、それぞれの対応するプロトコルヘッダHTD1、HND1及びHLLCD1は、前記送信データSDD1の前方のこのような空き領域へ順次書き込むことが可能である。従って、このようなプロトコルヘッダの書き込み時、前記送信データSDD1～SDD4について、移動処理等を行う必要がない。

【0097】なお、前記図10に示されるようにそれぞれの前記送信用バッファに格納された前記送信データSDD1～SDD4について、全く分離された2つの電文(メッセージ)へ分割する必要がある場合もある。

【0098】例えば、ある階層(レイヤ)より下位での送信データの長さ(最大長)に制限が生じる場合等である。例えば前記送信用バッファ3個分の長さが上限の場合、前記図10において、前記送信データSDD4が格納された送信用バッファのデータの前方において、2つの電文に分割する必要がある。即ち、前記送信データSDD3が格納されたものと、前記送信データSDD4が格納されたものと間で分割する必要がある。

【0099】このような場合には、前記送信データSDD4が格納された前記送信用バッファのデータの前方へ、新たに別のプロトコルヘッダHTD2、HND2及びHLLCD2を設ければよい。即ち、図11及び図12に示す通りである。

【0100】この図11では、前記送信データSDD1～SDD3が格納された、順にリンクされる3つの送信用バッファが示されている。一方、前記図12において

は、前記送信用データSDD4が格納された前記送信用バッファと共に、該送信用バッファのデータに対するプロトコルヘッダとして、前記T層のプロトコルヘッダHTD2、前記N層のプロトコルヘッダHND2及び前記LLC層のプロトコルヘッダHLLCD2の付加に用いられる1つの前記送信用バッファが用いられている。

【0101】このように本実施例によれば、前記図11や前記図12等に表示されるように2つの電文に分割する際にも、前記プロトコルヘッダHTD2、HND2及びHLLCD2が格納される前記送信用バッファに関する処理のみ行えばよく、前記送信用データSDD1～SDD4に関するデータの移動処理を行う必要がない。

【0102】図13は、本実施例における前記プロトコル制御部で行われる処理を示すフローチャートである。

【0103】この図13において、まずステップS110では、前記図3の前記CPU送信データ処理部12aでなされる送信データの転送の処理が示されている。この送信データの転送処理は、前記図2において、前記バス制御部11を用いながら、該CPU送信データ処理部12aが前記CPU1からの送信データを転送するものである。該ステップS110でなされる処理については、図14のフローチャートを用いより詳しく後述する。

【0104】続いてステップS112では、前記プロトコル制御部12Aの前記T層データ処理部12bでのT層プロトコル処理が示される。又、ステップS114では、前記N層データ処理部12cでなされるN層プロトコル処理が示される。ステップS116では、前記LLC層データ処理部12dでなされるLLC層プロトコル処理が示される。これらステップS112～S116でなされるそれぞれのプロトコル処理は、いずれも、図15のフローチャートを用いて後述するようなものである。これらステップS112～S116で示されるプロトコル処理の1つ1つが、前記図15に示す1つの処理となる。これらのプロトコル処理は、いずれも、主として前記送信用バッファメモリ16aに対してなされるものである。

【0105】続いてステップS118では、前記フレーム送信処理部12e及び前記回線制御部14で行われるフレーム送信処理である。このフレーム送信処理は、前記送信用バッファメモリ16aへ得られた最終的な送信データを、前記回線制御部14及び前記伝送路3を経て、相手方のCPU等へ伝送するというものである。

【0106】図14は、本実施例でなされる送信データの転送処理を示すフローチャートである。

【0107】この図14のフローチャートでは、前記図13に示した前記ステップS110の送信データの転送処理が、そのサブルーチンとして示されている。

【0108】この図14において、まずステップS132では、前記プロトコル制御部12Aの前記CPU送信

データ処理部12aが、前記バス制御部11等を経由して伝達される前記CPU1からのデータ送信要求を受付ける。続いてステップS134では、前記ステップS132で受け付けられた前記データ送信要求に対応する送信データのそのデータ長を、前記CPU1から取得する。続くステップ136では、前記ステップS134で得られた前記送信データのデータ長に基づき、前記送信用バッファメモリ16a内で、実際に用いられる送信用バッファが獲得される。

【0109】この後、ステップS138及びS140のループを繰返すことで、前記CPU1から前記送信用バッファメモリ16aへ、送信データを転送する。この時、該送信データは、前記ステップS136で獲得された前記図5に示される前記送信用バッファへと、前記送信データ格納領域の後方側から詰めるようにして格納される。

【0110】又、全ての前記送信データが前記送信用バッファメモリ16aに格納され、前記ステップS138及びS140が終了すると、ステップS142にて、前記図5に示される前記データ先頭アドレス情報SACが保存される。なお、このデータ先頭アドレス情報SACは、前記図5に示される前記送信データ先頭アドレスADSである。

【0111】該送信データ先頭アドレスADSは、前記ステップS134で得られる前記データ長に基づいて求めてもよい。あるいは、該送信データ先頭アドレスADSは、前記ステップS138及びS140でのデータ転送の際、最終的な前記送信データが書き込まれる前記送信データ先頭アドレスADSを検出して求めてもよい。又、該データ先頭アドレス情報を前記ステップS134での前記データ長から求めた場合、該ステップS142を、前記ステップ134以降での任意のタイミングで実行することが可能である。

【0112】図15は、本実施例で行われるプロトコル処理を示すフローチャートである。

【0113】このプロトコル処理は、前記T層データ処理部12bで行われる、前記ステップS112で行われる前記T層プロトコル処理である。あるいは、前記N層データ処理部12cで行われる、前記ステップS114の前記N層プロトコル処理である。あるいは、前記LLC層データ処理部12dで行われる、前記LLC層プロトコル処理である。

【0114】この図15において、まずステップS162では、そのプロトコル処理の階層（レイヤ）で生成するプロトコルの送信データのデータ長を示す、PDU長を“0”にクリアする。即ち、該PDU長を記憶するレジスタへと、“0”を書き込む。

【0115】ここで、PDU長とは、あるレイヤで扱う送信データのデータ長とプロトコルヘッダのデータ長との和である。即ち、該PDU長は、そのレイヤで付加さ

10

20

30

40

50

れるプロトコルヘッダをも含んだ送信データの全体のデータ長である。該PDU長を記憶するレジスタは、既にバッファに書込んだデータの長さを示す変数を格納するために使う。又、プロトコルによってそのレイヤで扱える最大のデータ長が決まっており、これを最大PDU長という。あるレイヤでのこのような最大PDU長を超える送信データは、それぞれがそのレイヤでのプロトコルヘッダを有する全く分離された複数の電文（メッセージ）へ分割する必要がある。

【0116】続いてステップS164では、送信データの終了か否かの判定を行う。終了であれば、続いてS166へ進む。一方、終了でなければ、続いてステップS170へ進む。

【0117】まず、前記ステップS170では、前記PDU長へ、その送信バッファ内へ記憶されるデータのデータ長を加算する。

【0118】続いてステップS172では、前記PDU長に基づき、複数の送信バッファへと、前記送信データを分割するか否かを判定する。前記ステップS170で加算されていく前記PDU長が最大PDU長以内であれば、分割しないと判定し、該ステップS172から前記ステップS164の前方へ分岐する。一方、前記PDU長が前記最大PDU長より大きくなれば、分割すると判定し、続いてステップS174へ進む。

【0119】前記ステップS174では、現時点で処理されたその送信バッファの直後で、前記送信データを分割する。この後、該分割箇所の次の前記送信バッファの直前に達して、ステップS176にて、ヘッダ付加処理を行う。

【0120】一方、前記ステップS164にて、送信データ終了と判定された場合、前記ステップS166にて、前記ステップS176と同様のヘッダ付加処理を行う。これらステップS176やS166で行われるヘッダ付加処理は、図16を用い詳しく後述するものである。又、該ステップS166の後には、この図15に示される処理を全て終了し、当該プロトコル処理を呼び出した次の処理へ復帰するものである。

【0121】図16は、本実施例で行われるヘッダ付加処理を示すフローチャートである。

【0122】このヘッダ付加処理は、前記図15に示した前記プロトコル処理において、前記ステップS176あるいは前記ステップS166において呼び出される処理である。

【0123】この図16において、まずステップS212では、付加すべきプロトコルヘッダを格納する領域が、前記図5に示す前記空き領域にあるか否かを判定する。格納領域があれば、次にステップS214へ進む。一方、格納領域がない場合、次にステップS220へ進む。

【0124】まず、前記ステップS214では、前記図

5に示される前記空き領域へ、前記送信データ領域SDの直前へ、そのレイヤにおけるプロトコルヘッダを格納する。更に、該プロトコルヘッダのデータ長を、前記PDU長に加算する。前述したように、前記PDU長はその送信データのデータ長とそのときのプロトコルヘッダのデータ長との和であるため、今回格納したプロトコルヘッダのデータ長を前記PDU長へこのように加算する。

【0125】更に、前記データ先頭アドレス情報SACの値を更新する。即ち、今回格納した前記プロトコルヘッダの長さ分、前記データ先頭アドレス情報SACの値を減算する。これは、今回このようにプロトコルヘッダを格納したため、該プロトコルヘッダのデータ長の分だけ、空き領域が短くなり、該空き領域の最後尾のアドレスも小さくなり、又、その分だけ前記送信データ先頭アドレスADSが小さくなるためである。

【0126】一方、前記ステップS220では、その時の前記送信用バッファの前記空き領域へ格納可能な範囲で、その時のレイヤのプロトコルヘッダを格納する。

又、このような格納の後、その送信用バッファの前記データ先頭アドレス情報SACや、前記PDU長の値を更新する。又、前記空き領域が不足するため、該ステップS220では、別の新たな前記送信用バッファを獲得する。又、ステップS222では今回獲得された前記送信用バッファへと、今回格納する前記プロトコルヘッダの未格納部分を、今回獲得した前記送信用バッファへ格納し、その前記データ先頭アドレス情報SAC等を更新する。この際、ステップS224では、獲得前の最後の前記送信用バッファの前記リンクポイントLPの値を、獲得した前記送信用バッファの先頭アドレスに更新する。

【0127】以上説明した通り、本実施例においては、例えば前記図5のメモリマップに示す如く、前記第1発明の前記送信用バッファデータ格納方法を適用することが可能である。又、該図5や前記図4等々に示される如く、前記第2発明が適用された通信制御装置を提供することができる。

【0128】従って、本実施例によれば、前記T層や前記N層又前記LLC層等において、所定のプロトコルに従った送信データを編成する際、それぞれでのプロトコルヘッダを付加するための、前記送信データの移動処理を省くことが可能である。又、前記図10～前記図12を用い前述したように、複数の送信バッファを用いる際にも、その前記送信データの移動処理をより削減しながら、同時に、必要とされる送信バッファの数や領域の大きさを抑えることができる。例えば、本実施例においては、前記図31に示される従来のような、プロトコルヘッダを付加するため不必要に送信バッファを獲得するというようなことがない。

【0129】

【発明の効果】以上説明した通り、本発明によれば、所定のプロトコルに従った送信データを編成するため、該

送信データへとプロトコルヘッダを付加する際に、送信用バッファ等へと格納されている該送信データの移動処理をより減少しながら、又、必要とされる送信用バッファの数や領域の大きさを抑えることができる送信用バッファデータ格納方法及び送信用バッファデータ格納装置を提供することができるという優れた効果を得ることができる。

【図面の簡単な説明】

【図 1】本願の第 1 発明の送信用バッファデータ格納方法及び第 2 発明の送信用バッファデータ格納装置の要旨を示す送信用バッファのメモリマップ図

【図 2】前記第 1 発明及び前記第 2 発明が適用された通信制御装置の実施例の構成を示すブロック図

【図 3】前記実施例に用いられるプロトコル制御部の構成を示すブロック図

【図 4】前記実施例の前記プロトコル制御部の前記 CPU 送信データ処理部の構成を示すブロック図

【図 5】前記実施例に用いられる送信用バッファのメモリマップ図

【図 6】前記実施例において 1 つの前記送信用バッファを用いた場合の作用を説明する第 1 ステップの前記送信用バッファのメモリマップ図

【図 7】前記実施例において 1 つの前記送信用バッファを用いた場合の作用を説明する第 2 ステップの前記送信用バッファのメモリマップ図

【図 8】前記実施例において 1 つの前記送信用バッファを用いた場合の作用を説明する第 3 ステップの前記送信用バッファのメモリマップ図

【図 9】前記実施例において 1 つの前記送信用バッファを用いた場合の作用を説明する第 4 ステップの前記送信用バッファのメモリマップ図

【図 10】前記実施例において複数の前記送信用バッファを用いた場合の作用を説明する該送信用バッファのメモリマップ図

【図 11】前記実施例において複数の前記送信用バッファを用い、又送信データを分割した場合の前記送信用バッファの第 1 のメモリマップ図

【図 12】前記実施例において複数の前記送信用バッファを用い、又送信データを分割した場合の前記送信用バッファの第 2 のメモリマップ図

【図 13】前記実施例で用いられるプロトコル制御部でなされる処理を示すフローチャート

【図 14】前記プロトコル制御部でなされる特に送信データの転送処理を示すフローチャート

【図 15】前記プロトコル制御部でなされる特にプロトコル処理を示すフローチャート

【図 16】前記実施例の前記プロトコル処理で行われるヘッダ付加処理を示すフローチャート

【図 17】従来から一般に用いられ適用されているプロトコル通信のレイヤ構成を示す構成図

【図 18】従来の通信制御装置の構成を示すブロック図

【図 19】前記従来の通信制御装置のプロトコル制御部の構成を示すブロック図

【図 20】前記従来の通信制御装置に用いられる送信用バッファの第 1 のメモリマップ図

【図 21】前記従来の通信制御装置での作用を説明する前記送信用バッファの第 1 ステップのメモリマップ

【図 22】前記従来の通信制御装置での作用を説明する前記送信用バッファの第 2 ステップのメモリマップ

【図 23】前記従来の通信制御装置での作用を説明する前記送信用バッファの第 3 ステップのメモリマップ

【図 24】前記従来の通信制御装置での作用を説明する前記送信用バッファの第 4 ステップのメモリマップ

【図 25】前記従来の通信制御装置における送信データの分割を示す第 1 のデータ構成図

【図 26】前記従来の通信制御装置に用いられる送信用バッファの第 2 のメモリマップ図

【図 27】前記従来の通信制御装置における送信データの分割を示す第 2 のデータ構成図

【図 28】前記従来の通信制御装置で複数の前記送信用バッファを用いる際の作用を説明する第 1 ステップの前記送信用バッファのメモリマップ図

【図 29】前記従来の通信制御装置で複数の前記送信用バッファを用いる際の作用を説明する第 2 ステップの前記送信用バッファのメモリマップ図

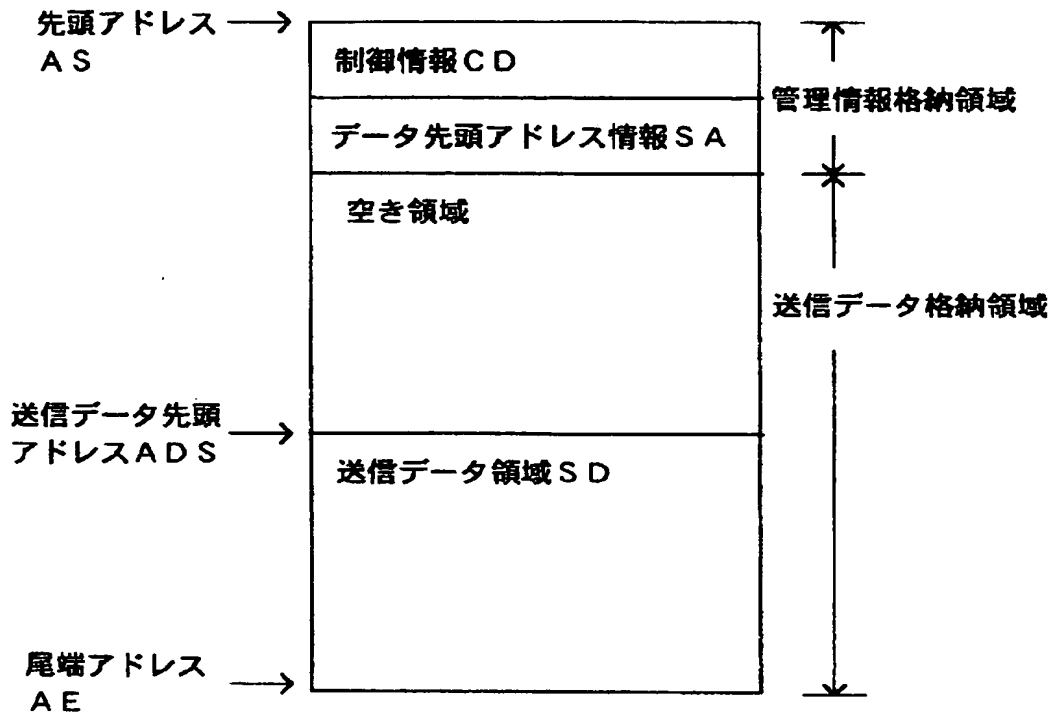
【図 30】前記従来の通信制御装置で複数の前記送信用バッファを用いる際の作用を説明する第 3 ステップの前記送信用バッファのメモリマップ図

【図 31】前記従来の通信制御装置で複数の前記送信用バッファを用いる際の作用を説明する第 4 ステップの前記送信用バッファのメモリマップ図

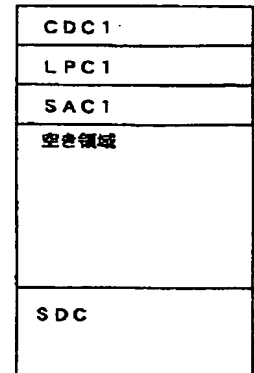
【符号の説明】

- 1 … CPU
- 2 … 通信制御装置
- 3 … 伝送路
- 11 … バス制御部
- 12 A、12 B … プロトコル制御部
- 12 a、12 j … CPU 送信データ処理部
- 12 b、12 k … T 層データ処理部
- 12 c、12 m … N 層データ処理部
- 12 d、12 n … LLC 層データ処理部
- 12 e、12 p … フレーム通信処理部
- 13 a … 送信要求受付部
- 13 b … バッファメモリ獲得部
- 13 c … データ転送部
- 13 d … 先頭アドレス情報保存部
- 14 … 回線制御部
- 16 A、16 B … バッファメモリ
- 16 a、16 c … 送信用バッファメモリ
- 16 b … 受信用バッファメモリ

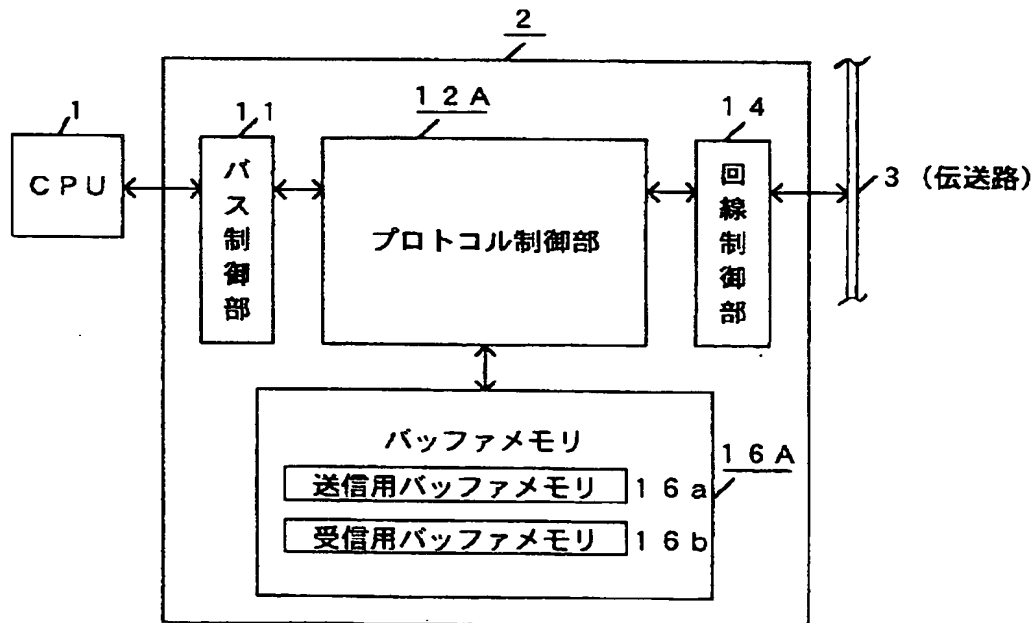
【図 1】



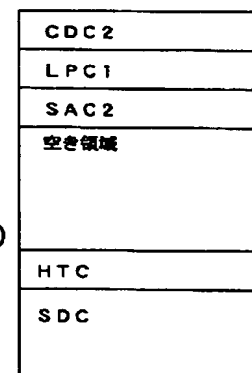
【図 6】



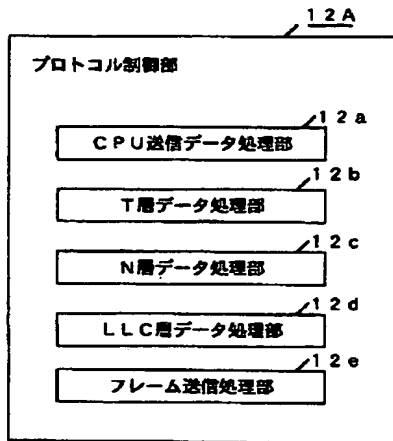
【図 2】



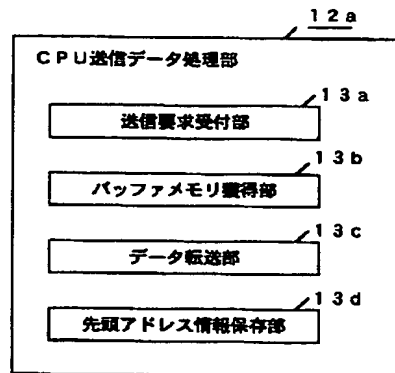
【図 7】



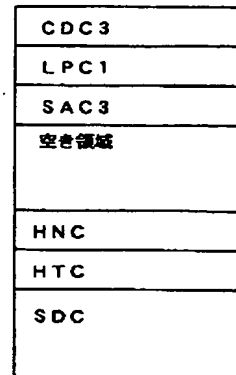
【図 3】



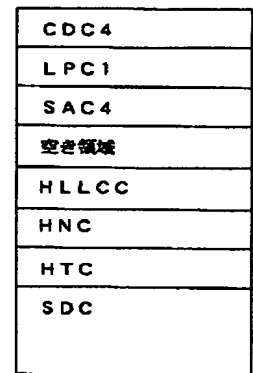
【図 4】



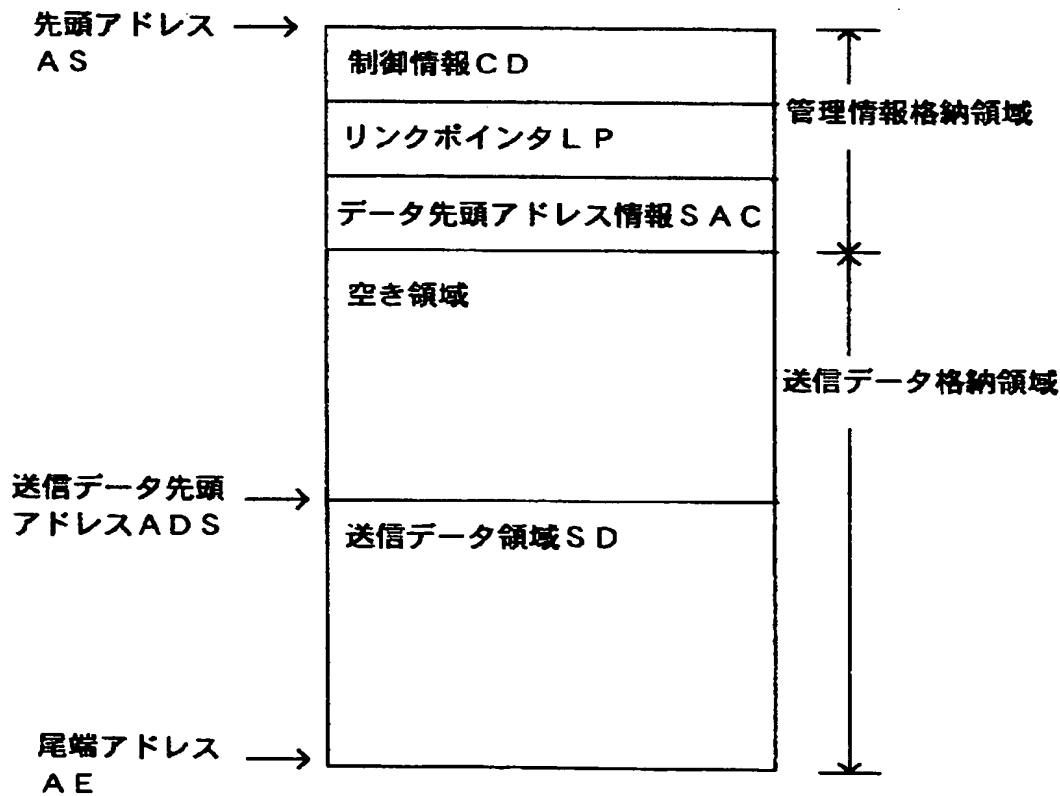
【図 8】



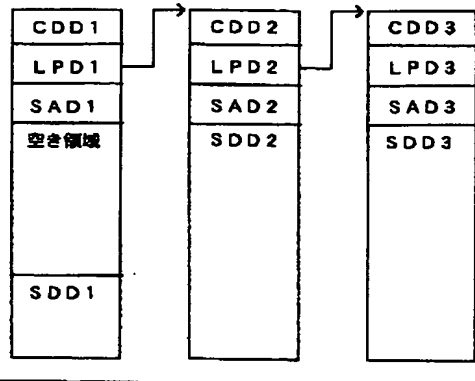
【図 9】



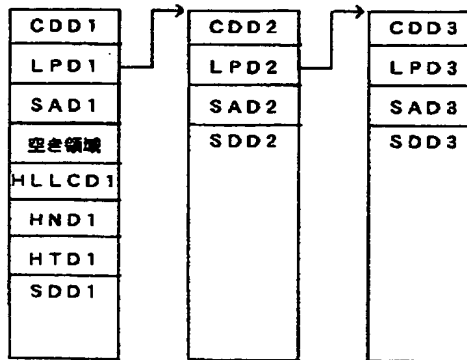
【図 5】



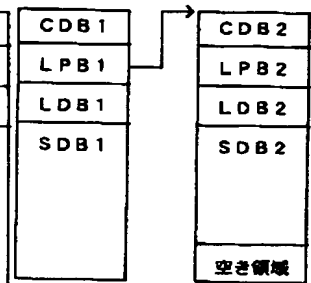
【図 10】



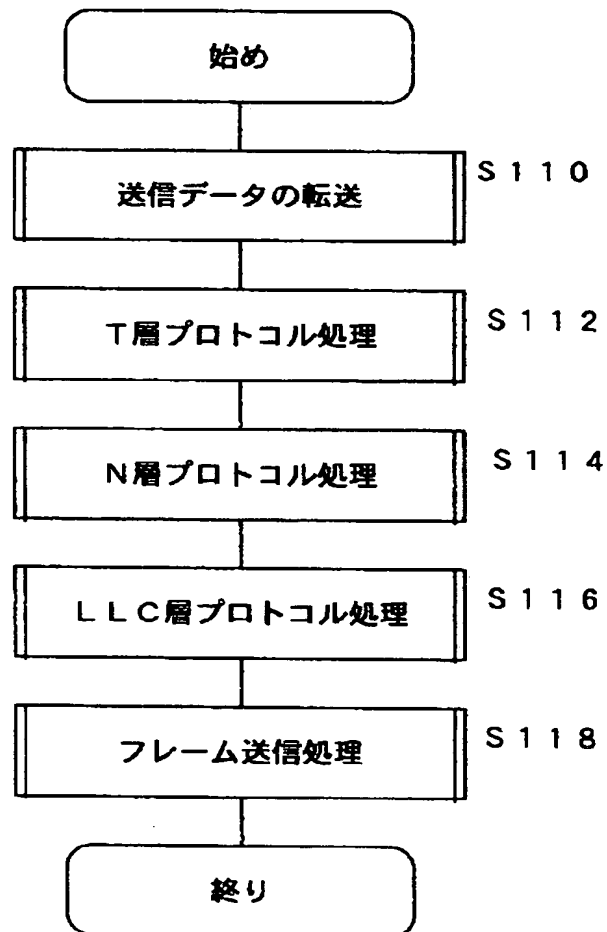
【図 11】



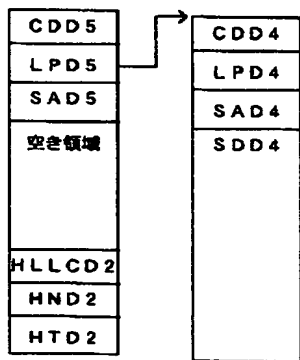
【図 28】



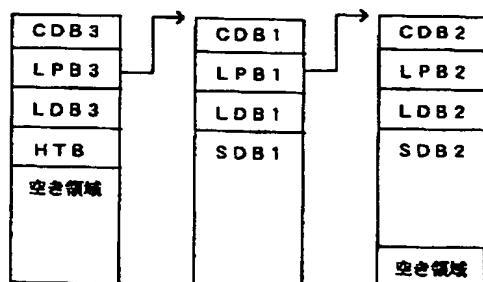
【図 13】



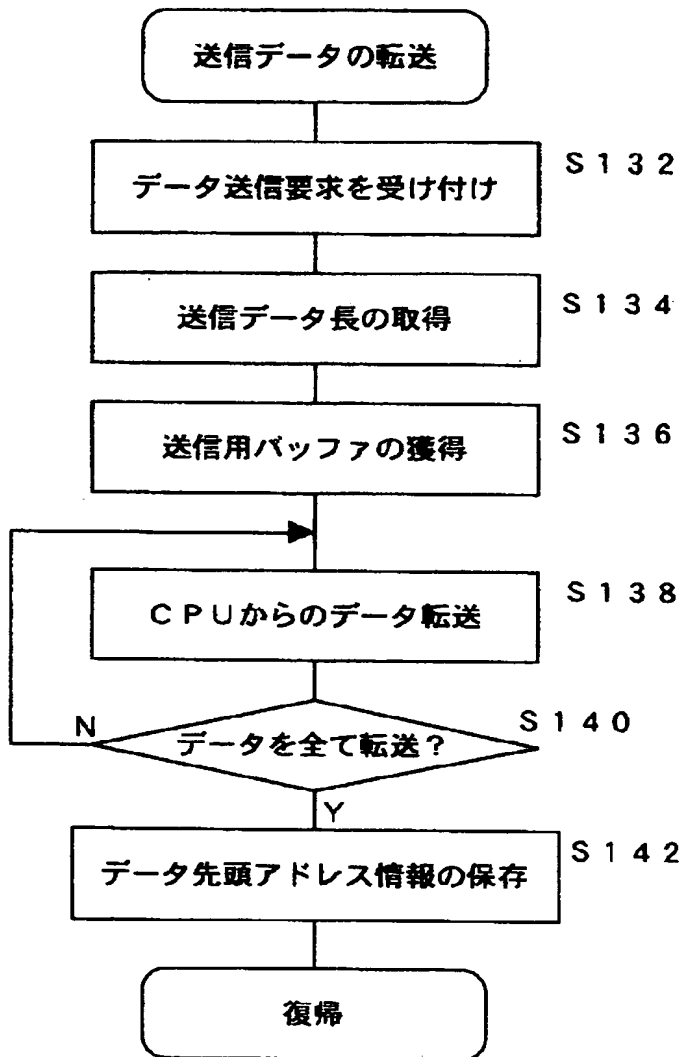
【図 12】



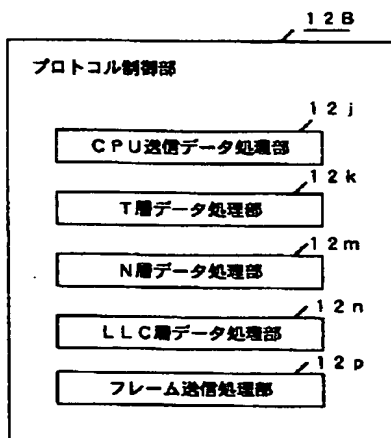
【図 29】



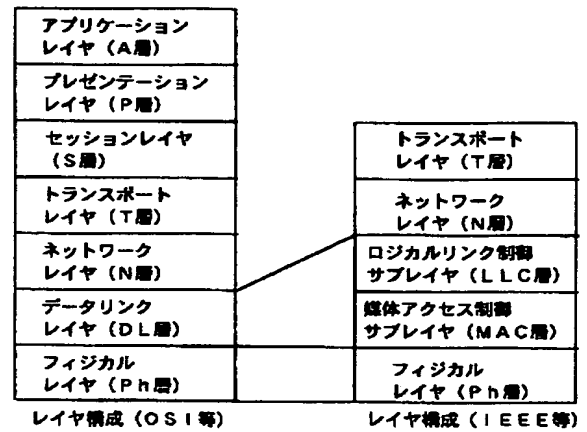
【図 14】



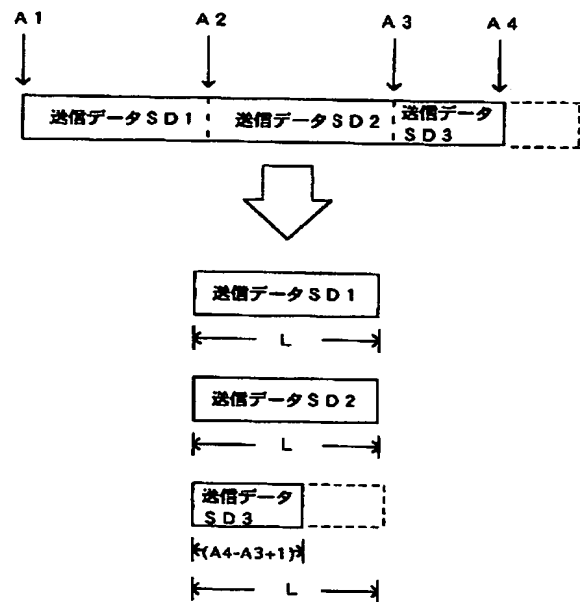
【図 19】



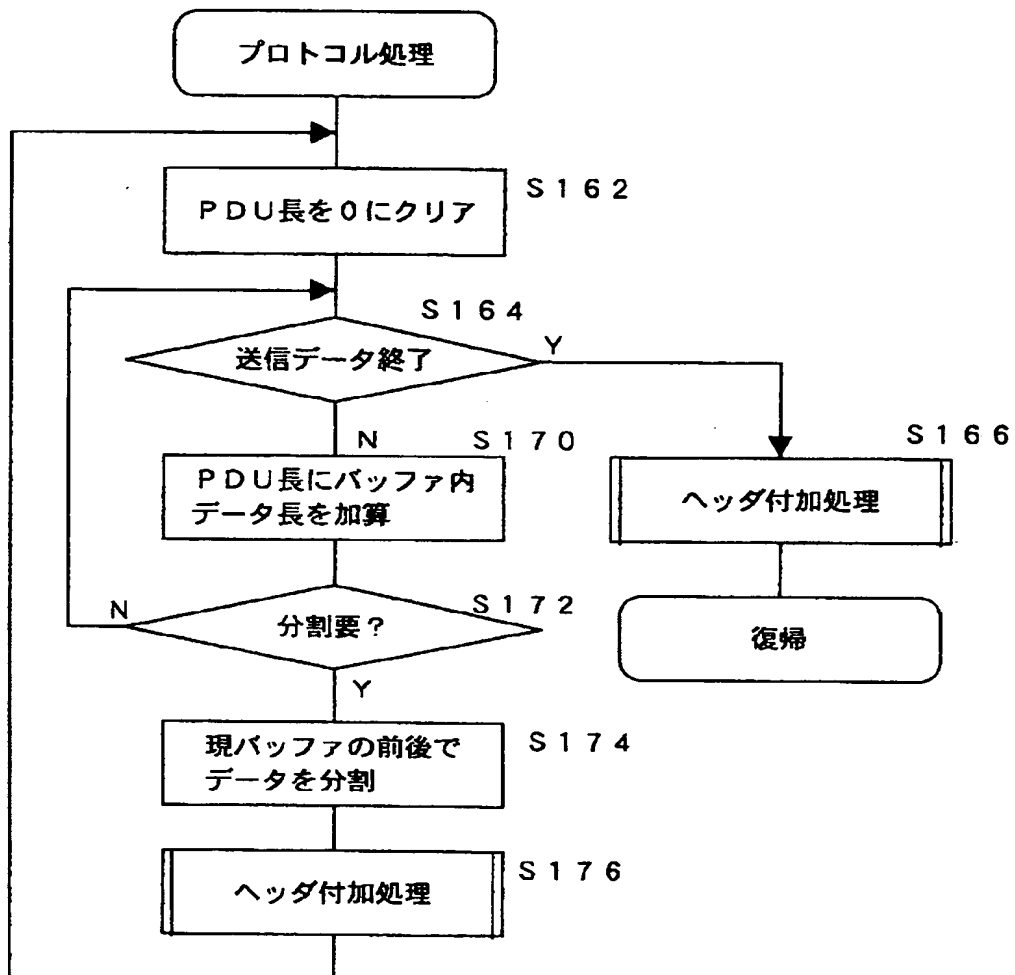
【図 17】



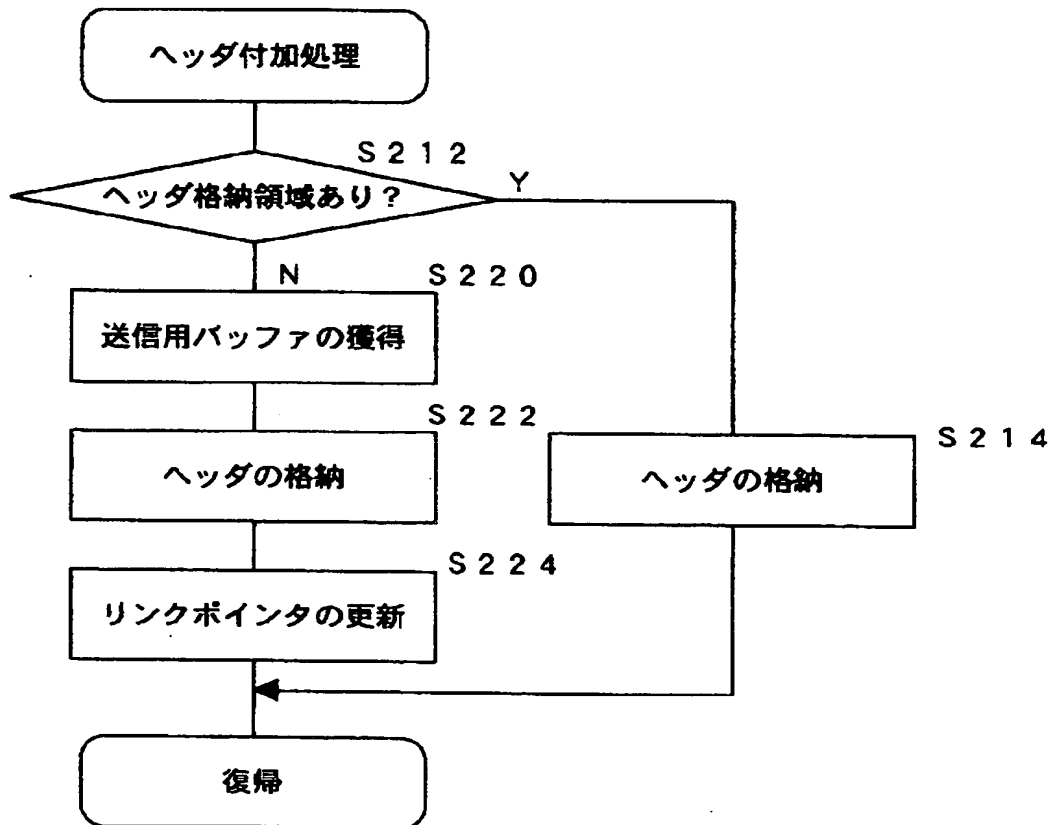
【図 25】



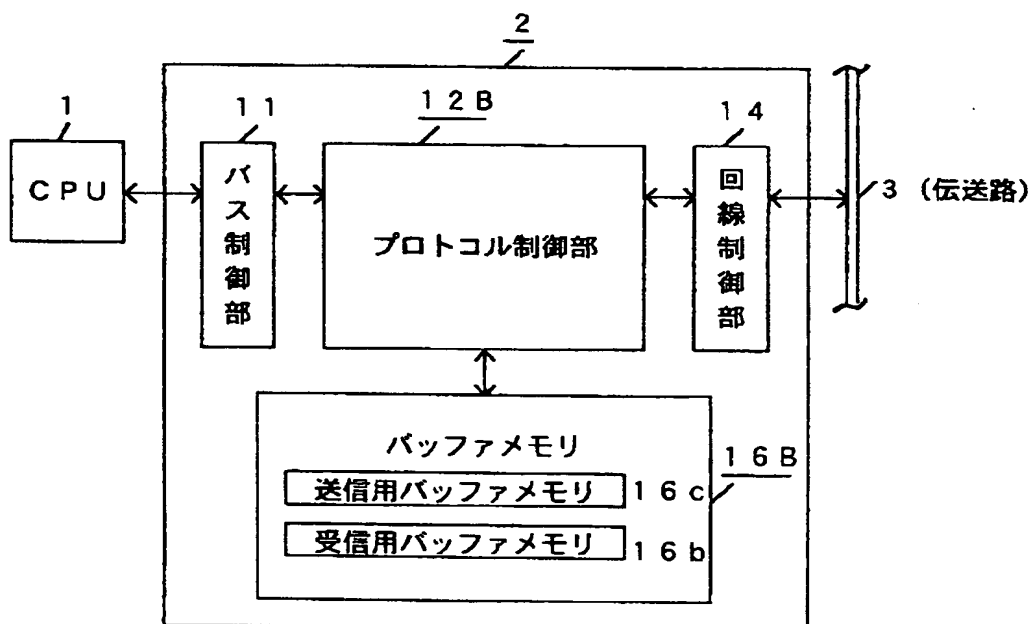
【図 1 5】



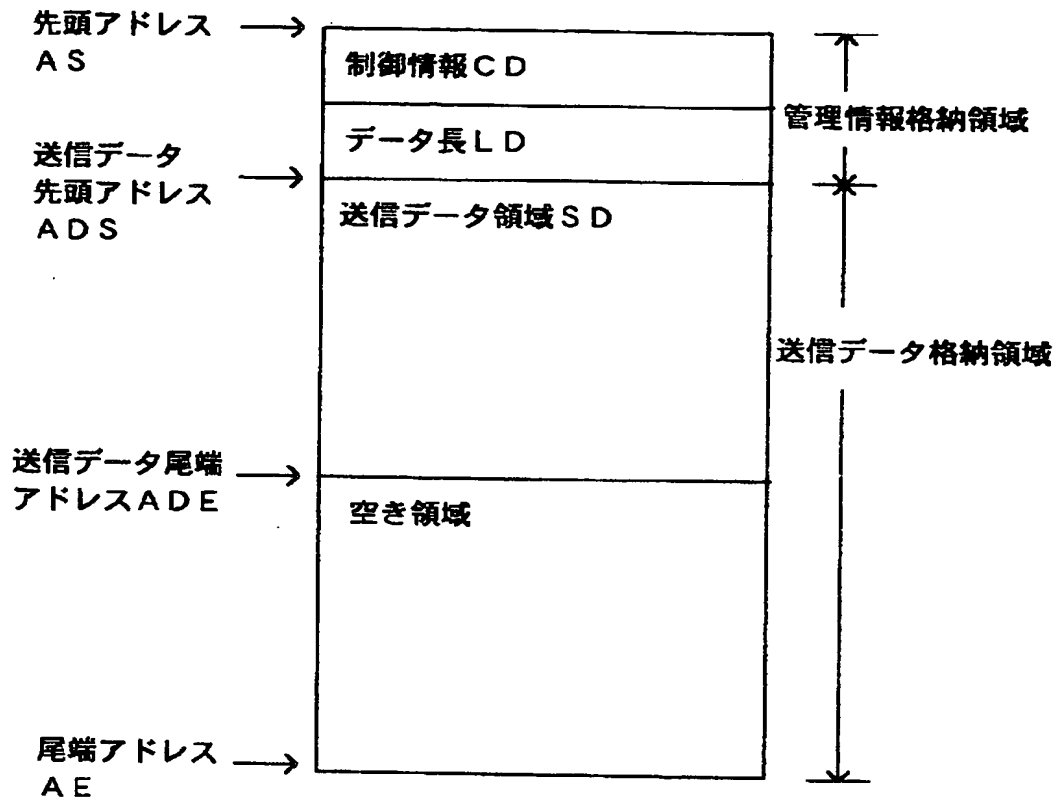
【図 16】



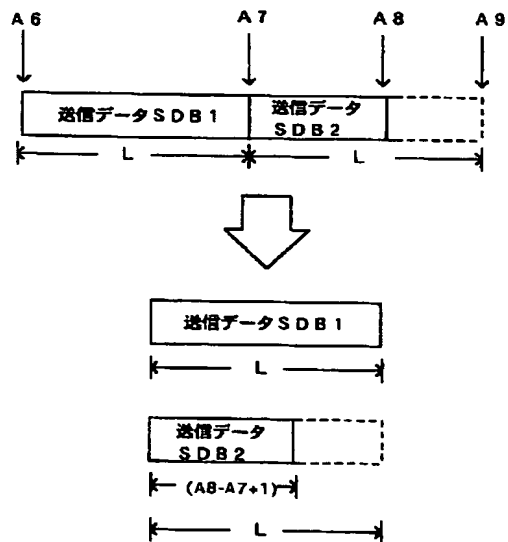
【図 18】



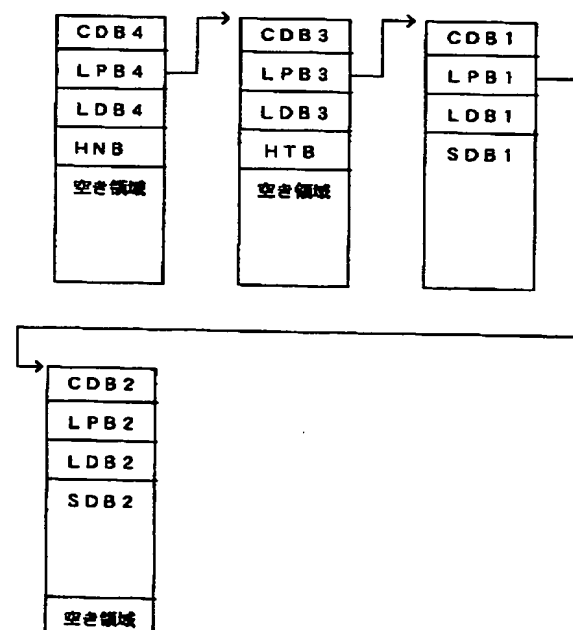
【図 2 0】



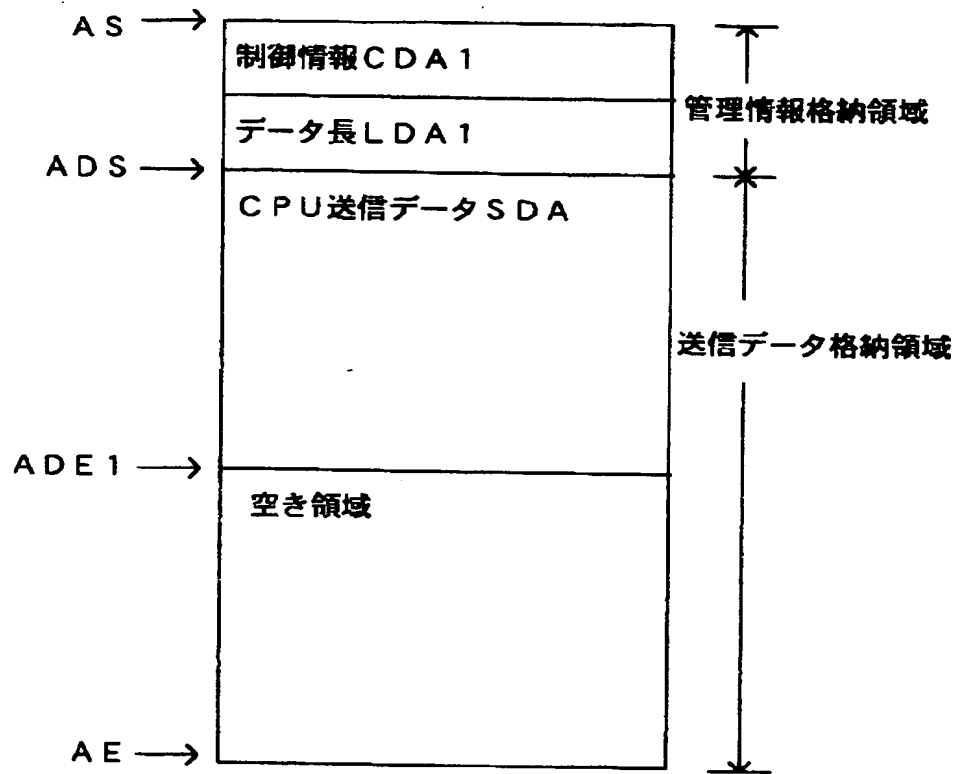
【図 2 7】



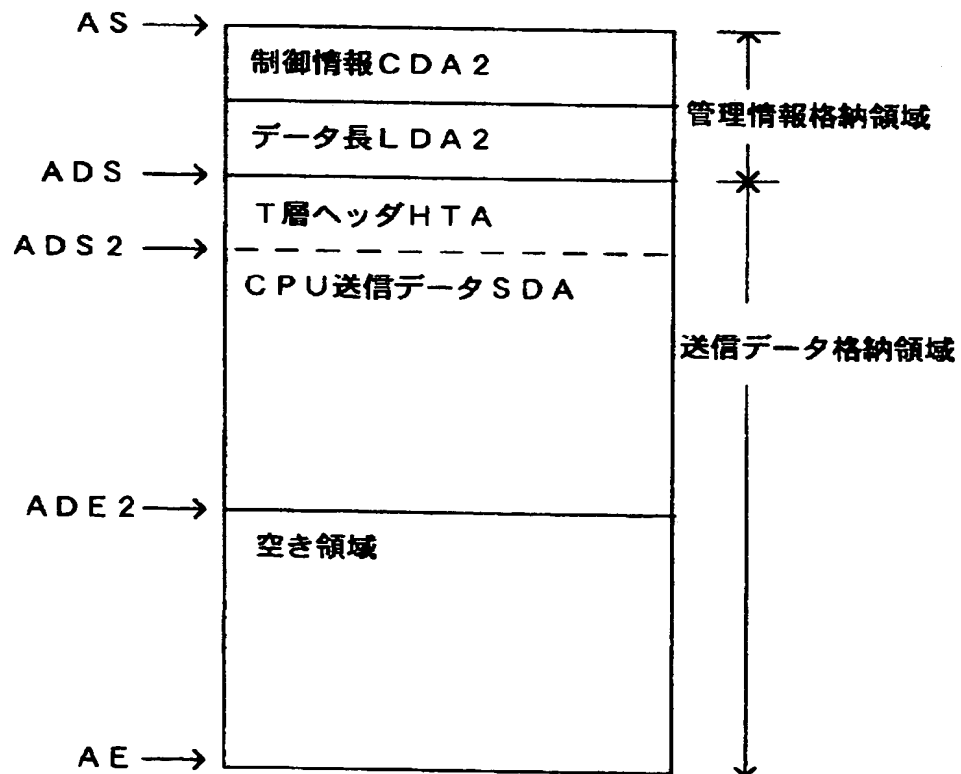
【図 3 0】



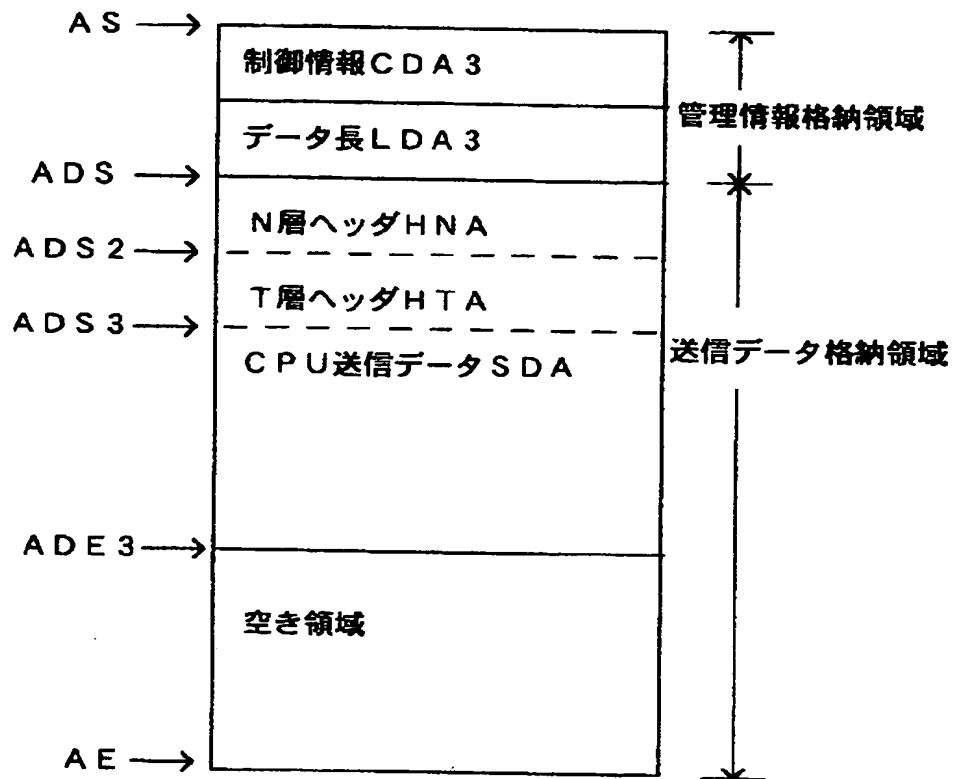
【図 2 1】



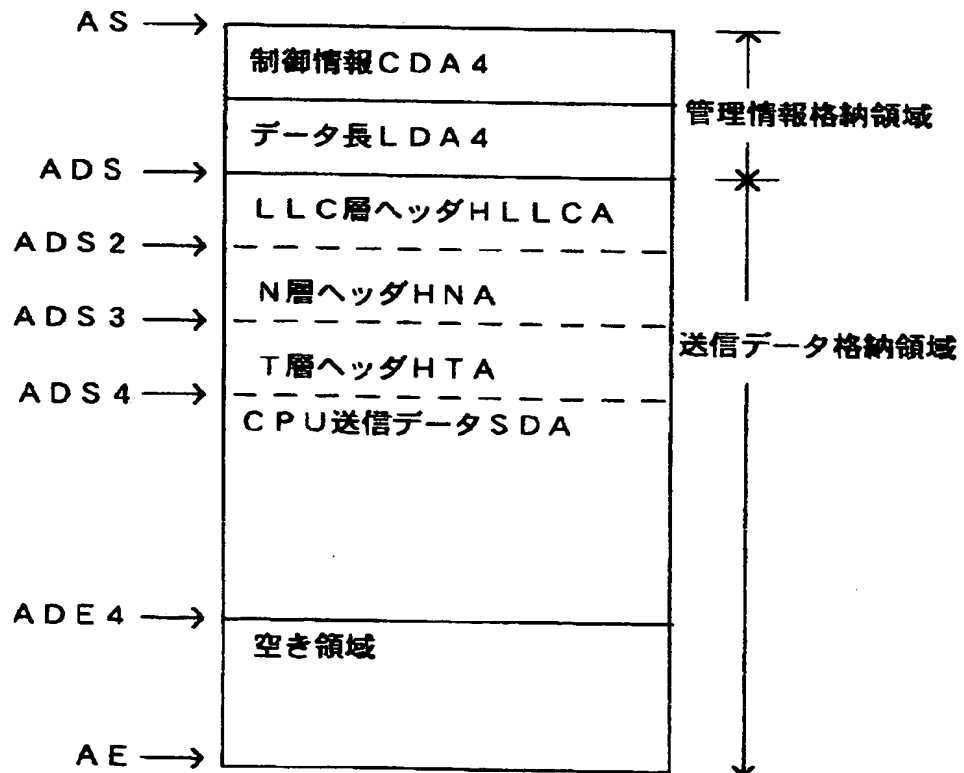
【図 2 2】



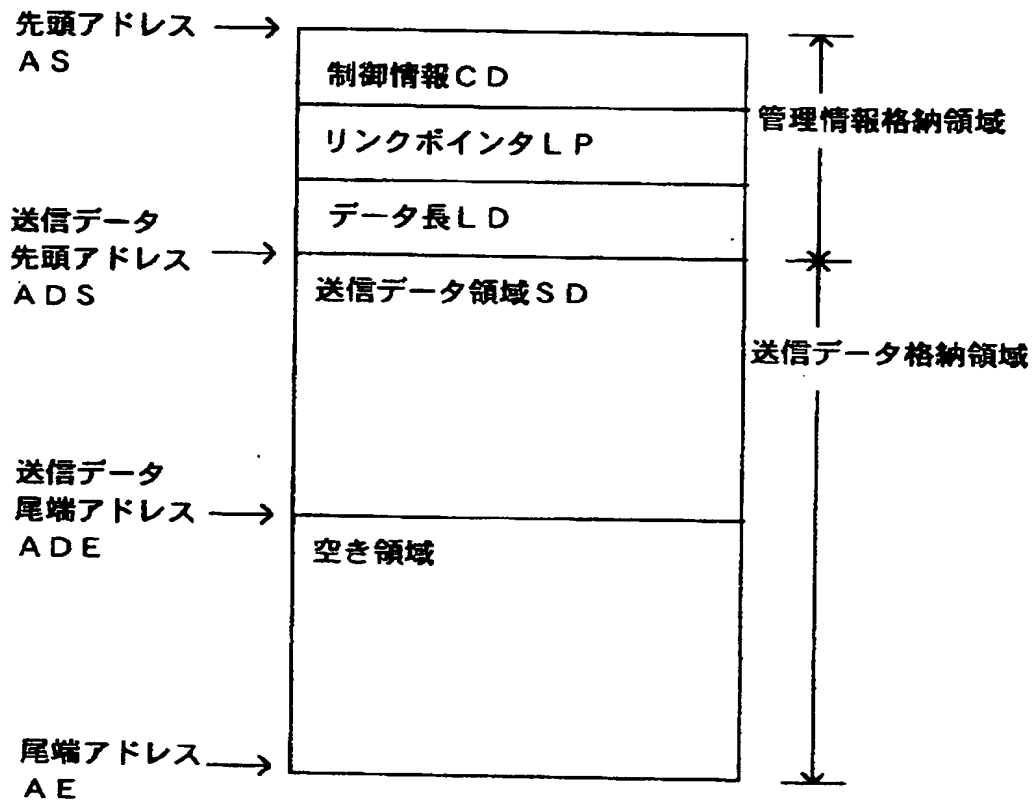
【図 2 3】



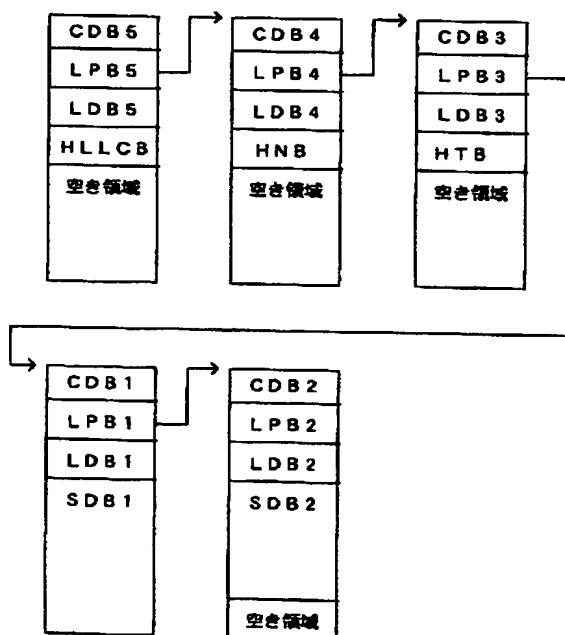
【図 2 4】



【図 2 6】



【図 3 1】



フロントページの続き

(51)Int.Cl.⁶

H 0 4 L 29/02

// H 0 4 L 12/56

識別記号

庁内整理番号

F I

技術表示箇所

9466-5K

H 0 4 L 11/20

1 0 2 F

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-079310

(43)Date of publication of application : 22.03.1996

(51)Int.Cl. H04L 13/08
G06F 13/00
H04L 12/40
H04L 29/02
// H04L 12/56

(21)Application number : 06-206587

(71)Applicant : KAWASAKI STEEL CORP

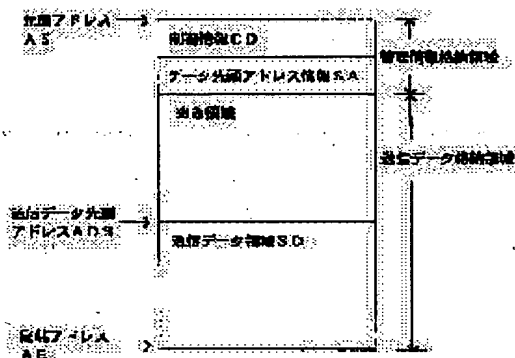
(22)Date of filing : 31.08.1994

(72)Inventor : UEDA TAKESHI

(54) TRANSMISSION BUFFER DATA STORAGE METHOD AND TRANSMISSION BUFFER DATA STORAGE DEVICE**(57)Abstract:**

PURPOSE: To reduce transfer processing of transmission data by a transmission buffer when a protocol header is added.

CONSTITUTION: Transmission data are stored so as to be packed backward (toward tail end address AE) in a transmission data storage area provided to a transmission buffer together with a management information storage area having data head address information SA. Idle areas not in use are obtained in preceding areas of the area SD in which the transmission data are stored. Since a protocol header is stored in the idle area, it is not required to transfer the transmission data.

**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

[Claim(s)]

[Claim 1] After the transmit data transfer processing stored in the buffer for transmission of storage capacity L, transmit data That the protocol header added at the time of transmission of the aforementioned transmit data should be added in order of the data array at the time of transmission In the buffer data storage method for transmission of performing header attached processing centering on the processing which stores the aforementioned protocol header in the head side of the aforementioned buffer for transmission In the case of the aforementioned transmit data transfer processing, it is related with the head and tail edge of the aforementioned transmit data. As this transmit data tail edge is packed to a back side, this transmit data is stored in the aforementioned buffer for transmission. Moreover, the buffer data storage method for transmission characterized by saving the information which shows the storing position of the aforementioned transmit data head in this buffer for transmission after storing in the aforementioned buffer for transmission of such aforementioned transmit data in the case of the aforementioned transmit data transfer processing.

[Claim 2] In a claim 1 amount-of-data M of the aforementioned transmit data in [than the aforementioned storage capacity L] more Followed the natural number N used as $\{(M/L) \leq N < (M+1) / L\}$. Securing a total of N aforementioned buffers for transmission at least, dividing the aforementioned transmit data one by one the aforementioned storage capacity every L from the aforementioned transmit data tail edge, going, and saving the information on the order of storing which followed what was divided in order of the division The buffer data storage method for transmission characterized by making it store in each aforementioned buffer for transmission one by one.

[Claim 3] The buffer data storage method for transmission characterized by the information which shows the storing position of the aforementioned transmit data head saved in the case of the aforementioned transmit data transfer processing in a claim 1 or 2 being the address in the aforementioned buffer for transmission.

[Claim 4] The buffer data storage method for transmission characterized by being the address of the

head of the following buffer for transmission with which the aforementioned order information of the order storing of division follows each buffer for transmission in a claim 2 according to the order of division of the data stored in the buffer for transmission memorized by the link pointer prepared for every aforementioned buffer for transmission.

[Claim 5] Buffer data storage equipment for transmission which performs header attached processing centering on the processing which stores the aforementioned protocol header in the head side of the aforementioned buffer for transmission that the protocol header added at the time of transmission of the aforementioned transmit data after the transmit data transfer processing characterized by providing the following in which transmit data is stored in the buffer for transmission of storage capacity L should be added in order of the data array at the time of transmission The data transfer section which stores this transmit data in the aforementioned buffer for transmission about the head and tail edge of the aforementioned transmit data in the case of the aforementioned transmit data transfer processing as packs this transmit data tail edge to a back side Moreover, the start-address information preservation section which saves the information which shows the storing position of the aforementioned transmit data head in this buffer for transmission after storing in the aforementioned buffer for transmission of such aforementioned transmit data in the case of the aforementioned transmit data transfer processing

[Detailed Description of the Invention]

[0001]

[Industrial Application] this invention transmit data after the transmit data transfer processing stored in the buffer memory for transmission of storage capacity L That the protocol header added at the time of transmission of the aforementioned transmit data should be added in order of the data array at the time of transmission The buffer data storage method for transmission and the buffer data storage equipment for transmission which perform header attached processing centering on the processing which stores the aforementioned protocol header in the aforementioned buffer for transmission are started. In order to compose the transmit data which followed the predetermined protocol especially, in case a protocol header is added to this transmit data, move processing of this transmit data stored in the buffer for transmission, decreasing more Moreover, it is related with the buffer data storage method for transmission and the buffer data storage equipment for transmission which can stop the number of the buffers for transmission and the size of a field which are needed.

[0002]

[Description of the Prior Art] A Local Area Network (referred to also as LAN local area network and henceforth) is a network which the range of is about 0.1-10km, and generally transmits digital data with the transmission speed about 0.1 - 100MBPS (a megabit/second). Moreover, LAN has the switching function of the kind made into comprehensive communication system, and can combine

organically a peripheral device, a communication terminal device, etc. of a computer or a computer by which distributed installation was carried out.

[0003] Therefore, according to such LAN, hardware (a peripheral device etc. is included), a database, etc. of a computer by which distributed installation was carried out within limited limits, such as the enclosure of office, works, a lab, and a university, can be shared effectively.

[0004] Moreover, according to the digital data public network (it is also called a DDX network digital data exchange and henceforth), data communication not only with Japan but a foreign country is possible. Moreover, there is a packet switched network according to criteria, such as CCITT (international telegraph and telephone consultative committee) advice X.25, in this DDX network.

[0005] This packet switching gives a protocol header including destination information etc. to the block of the predetermined byte unit called packet, and multiplexes the packet from which the destination differs to it using the same transmission line. Such a packet switched network has the feature of being able to obtain the very high transmission quality.

[0006] Here, generally LAN and the packet switched network which were mentioned above are prescribed by two or more layers (a layer or hierarchy).

[0007] For example, as shown in drawing 17, the layer composition of LAN specified in IEEE (institute of electrical and electronics engineers) 802 committee etc. with the layer composition specified by the OSI (open systems interconnection) reference model applied by the above-mentioned CCITT advice is shown.

[0008] First, the layer composition specified by OSI etc. has a total of seven layer composition, as shown in this drawing 17.

[0009] In such layer composition, the 1st layer (Ph layer), i.e., a physical layer, first performs mechanical / electric control for carrying out a bit transmission, mainly concerning transmission control directly linked more with hardware. The 2nd layer (DL layer), i.e., a data link layer, performs data transfer, and it performs control of a transmission error etc. especially. The 3rd layer (N layers), i.e., a network layer, has the relay of the data communication made through one or more communication networks etc. performed. Moreover, the 5th layer (S layers), i.e., a session layer, performs control of transmission and reception of data, control of a synchronization, etc. Moreover, the 4th layer between these 3rd layers and the 5th layer, i.e., a transport layer, (T layers) sets up transparent data transfer from the 5th layer to the layer of a high order especially. Moreover, the presentation layer (P layers) of the 6th layer, the application layer (A horizon) of the 7th layer, etc. are set up more as a layer of a high order.

[0010] in addition, such [in subsequent explanation] layer composition -- setting -- the 1st above layer and the 2nd above layer, and the 3rd layer -- it is alike, and it follows and considers as the thing used as ... from which the hierarchy (layer) becomes a high order more

[0011] On the other hand, with the layer composition applied to LAN, such as IEEE, the data link layer of the 2nd above-mentioned layer is divided, and it considers as the logical link control sublayer (LLC layer) and the Media Access Control sublayer (MAC layer), for example. With these two sublayers, it consists of a physical layer (Ph layer), a network layer (N layers), a transport layer (T layers), etc.

[0012] If it is in the standardized protocol as explained using drawing 17 above, it is usually prescribed by many layers.

[0013] Moreover, in each layer, the protocol header specified, respectively is made to be added one by one. That is, in case [, such as an application layer and a presentation layer,] it is composed more from the layer of a high order to the protocol of the convention of transmit data to a low-ranking layer, the protocol header specified by each is added one by one.

[0014] Drawing 18 is the block diagram showing the composition of an example of the conventional communication controller.

[0015] In this drawing 18 , the composition of the communication controller 2 connected to CPU1 which transmits data or is received according to a predetermined protocol is shown. Sequential organization of the transmit data is carried out according to a protocol of T layers, N layers, and an LLC layer like the layer composition especially shown in the right-hand side of aforementioned drawing 17 . This communication controller 2 is used in case the above CPU 1 carries out data communication using a transmission line 3. This communication controller 2 is constituted by the bus control section 11, protocol control-section 12B, the line control section 14, and buffer memory 16B.

[0016] First, in the aforementioned communication controller 2, the aforementioned protocol control-section 12B is connected to the above CPU 1 in the aforementioned bus control section 11. This bus control section 11 performs control as CPU interfaces, such as registration of the command from the above CPU 1, and transfer of a transmitted and received data.

[0017] On the other hand, the aforementioned protocol control-section 12B is connected to the aforementioned transmission line 3 through the aforementioned line control section 14. This line control section 14 controls the interface for connecting such aforementioned protocol control-section 12B to the aforementioned transmission line 3.

[0018] Moreover, the aforementioned buffer memory 16B connected to the aforementioned protocol control-section 12B is buffer memory 16for transmission c. Buffer memory 16for reception b It is constituted.

[0019] Aforementioned buffer memory 16for transmission c It is used in case the above CPU 1 transmits data to other CPUs etc. through the communication controller 2 concerned and the aforementioned transmission line 3. That is, in case the above CPU 1 transmits data, transmit data is this buffer memory 16for transmission c by the aforementioned protocol control-section 12B. It is

stored temporarily. On the other hand, it is aforementioned buffer memory 16 for reception b. In case the above CPU 1 receives data from other CPUs etc. through the aforementioned transmission line 3 and the communication controller 2 grade concerned, the data received are stored temporarily. That is, the data received from the aforementioned transmission line 3 are temporarily stored by aforementioned protocol control-section 12B etc.

[0020] Drawing 19 is the block diagram showing the composition of the aforementioned protocol control section used with the conventional communication controller.

[0021] The aforementioned protocol control-section 12B shown in aforementioned drawing 18 as shown in this drawing 19 is CPU transmit data processing section 12j. T layer data-processing section 12k 12m of N layer data-processing sections 12n of LLC layer data-processing sections Frame transmitting processing section 12p It is constituted.

[0022] This protocol control-section 12B is these CPUs transmit data processing section 12j, T layer data-processing section 12k, 12m of N layer data-processing sections, and 12n of LLC layer data-processing sections. And frame transmitting processing section 12p For example, addition of a protocol header, division of transmit data, etc. are performed, using the aforementioned buffer memory 16B.

[0023] Here, in case addition of a protocol header composes transmit data according to the convention about the protocol of each layer, it creates the protocol header specified by the layer, and it adds this to transmit data. Moreover, since the data length which can be transmitted at once by the protocol of each layer has a limit, in case division of transmit data transmits a lot of data than this data length, it divides the transmit data received from the layer of a high order to two or more transmit data. Thus, by dividing, the length of transmit data can be held down to limit within the limits of the data length in each layer.

[0024] Drawing 20 is the block diagram of the transmission buffer used with the conventional communication controller.

[0025] The transmission buffer shown in this drawing 20 is aforementioned buffer memory 16 for transmission c shown in aforementioned drawing 18. One composition in two or more transmission buffers set up inside is shown. This transmission buffer is aforementioned buffer memory 16 for transmission c. An inner predetermined field is secured and it is prepared by this.

[0026] it is shown in this drawing 20 -- as -- this buffer memory 16 for transmission c In order, it is constituted to ***** of the address, the field of control information CD, the field of data length LD, and the transmit data field SD and an especially intact field, i.e., a free area. (namely, ***** of the address of the aforementioned buffer memory 16B -- order)

[0027] Here, let the field which consists of a field of the aforementioned control information CD, and a field of the aforementioned data length LD be a management information storing field. Moreover, the transmit data is actually stored. It considers as a transmit data storing field including the

aforementioned free area with the aforementioned transmit data field ST. Moreover, the aforementioned transmission buffer which consists of an aforementioned management information storing field and an aforementioned transmit data storing field in this way is a field from start-address AS to the tail edge address AE. Moreover, in the aforementioned transmit data storing field, the field SD where the transmit data is actually stored, i.e., the aforementioned transmit data field, is a field from transmit data start-address ADS to the transmit data tail edge address ADE.

[0028] Here, the aforementioned control information CD is information used for management of the buffer for transmission concerned. For example, it is the buffer overall length ($AE-AS+1$) of the buffer for transmission concerned etc. Moreover, the data length of the aforementioned transmit data field SD from aforementioned transmit data start-address ADS to the aforementioned transmit data tail edge address ADE is written in the aforementioned data length LD. That is, the value of $(ADE-ADS+1)$ is written in the aforementioned data length LD.

[0029] A predetermined protocol is composed adding the protocol header corresponding to each layer one by one, as the aforementioned protocol control-section 12B is shown in drawing 21 - drawing 24 in order, using the aforementioned buffer for transmission shown in this drawing 20. That is, finally transmit data as shown in aforementioned drawing 24 is obtained, adding the protocol header HTA of T layers, the protocol header HNA of N layers, and the protocol header HLLCA of an LLC layer to this order one by one.

[0030] That is, as first shown in aforementioned drawing 21, the transmit data sent from the above CPU 1, i.e., CPU transmit data solvent deasphalting, is written in the aforementioned transmission buffer by the aforementioned protocol control-section 12B. The aforementioned transmit data tail edge address at this time serves as ADE1 like this drawing 21. Moreover, the data length 1 at this time, i.e., load accumulator direct, is set to $(ADE1-ADS+1)$. Organization of the protocol shown in this drawing 21 is aforementioned CPU transmit data processing section 12j. It is made.

[0031] Then, as shown in aforementioned drawing 22, organization of the transmit data according to the protocol of T layers is made. This mainly calls it addition of the protocol header HTA of T layers.

[0032] In order to obtain first the field which adds this T layer protocol header HTA on the occasion of addition of this T layer protocol header HTA, the aforementioned CPU transmit data solvent deasphalting is moved behind the aforementioned transmit data storing field (move processing of transmit data). for example, the data length of the aforementioned T layer protocol header HTA -- then $(ADS2-ADS+1)$, the aforementioned CPU transmit data solvent deasphalting is moved behind the aforementioned transmit data storing field until it becomes the aforementioned transmit data tail edge address $(= (ADE + (ADS2-ADS+1)) ADE2)$ of the aforementioned CPU transmit data solvent deasphalting. Therefore, as for the aforementioned free area, only the part of this movement

is reduced.

[0033] Thus, if move processing of the aforementioned transmit data is made, the field which stores the aforementioned T layer protocol header HTA in just before [above the aforementioned CPU transmit data solvent deasphalting] will be secured. Therefore, this T layer protocol header HTA is stored in between the storing field of the aforementioned data length load accumulator direct2, and the storing field of the aforementioned CPU transmit data solvent deasphalting after generation of the aforementioned T layer protocol header HTA.

[0034] Moreover, the value of the aforementioned data length load accumulator direct2 is updated by (ADE2-ADS+1) after this.

[0035] In addition, organization of the transmit data according to a protocol of T layers which was explained above is aforementioned T layer data-processing section 12k shown in aforementioned drawing 19 . It is made.

[0036] Moreover, it is the 12m of the aforementioned N layer data-processing sections like organization of the transmit data of the protocol of these T layers. The aforementioned transmit data according to the protocol of the N aforementioned layers as shown in aforementioned drawing 23 is composed. The aforementioned transmit data of the protocol of these the aforementioned N layers is performed mainly by adding the protocol header HNA of the N aforementioned layers to the aforementioned transmit data of the protocol of the T aforementioned layers.

[0037] The 12n of moreover, the aforementioned LLC layer data-processing sections The protocol header HLLCA of the aforementioned LLC layer is added to the aforementioned transmit data according to the protocol of the N aforementioned layers. The aforementioned transmit data according to the protocol of the aforementioned LLC layer as is shown to aforementioned drawing 24 by this is composed.

[0038] Thus, in case the protocol header of the T aforementioned layers, the N aforementioned layers, or the aforementioned LLC layer is added one by one, move processing of the aforementioned transmit data is performed to whenever [the]. The aforementioned transmit data start address of the aforementioned CPU transmit data solvent deasphalting and its aforementioned transmit data tail edge address are back moved one by one with ADS, ADE1 and ADS2, and ADE2, ADS4 and ADE4 by this.

[0039] Here, when the data length of the aforementioned transmit data which should be stored is long compared with the size of the aforementioned transmit data storing field shown in aforementioned drawing 20 , division of the transmit data to store as shown in drawing 25 is made.

[0040] That is, as shown in this drawing 25 , when the length of the one whole transmit data stored in the aforementioned transmission buffer which consists of transmit data SD1-SD3 is longer than the storage capacity L of the aforementioned transmit data storing field of this transmission buffer, this transmit data is divided into every aforementioned storage capacity L one by one from the head.

That is, it divides into same aforementioned transmit data SD1 of a data length as the aforementioned storage capacity L, same aforementioned transmit data SD2 of a data length as the aforementioned storage capacity L, and aforementioned transmit data SD3 of the data length $(A4-A3+1)$ of under the aforementioned storage capacity L.

[0041] Moreover, in dividing transmit data in this way, it uses the transmission buffer of composition as shown in drawing 26. Compared with what showed the aforementioned transmission buffer shown in this drawing 26 to aforementioned drawing 20, it differs in that it has especially the link pointer LP. In case this link pointer LP is stored in the aforementioned buffer for transmission with which each aforementioned transmit data divided into plurality as mentioned above differ, it shows the start address of other buffers for transmission following the degree of each buffer for transmission.

[0042] For example, the data length of the whole which consists of transmit data SDB1 as shown in drawing 27, and transmit data SDB2 divides into aforementioned transmit data SD [longer than L and]1 of a data length same about one certain transmit data below 2L as the aforementioned storage capacity L, and aforementioned transmit data SD2 of the data length below the aforementioned storage capacity L $(A8-A7+1)$. This is divided from the head side of this transmit data. In this case, the two aforementioned buffers for transmission are used as shown in drawing 28. The buffer for these transmission is shown in aforementioned drawing 26.

[0043] Here, in aforementioned drawing 28, the aforementioned transmit data SDB1 is first stored in the aforementioned transmission buffer constituted by control information CDB1, the link pointer LPB 1, and data length LDB1 grade. Moreover, the aforementioned transmit data SDB2 is stored in the aforementioned transmission buffer which consists of control information CDB2, a link pointer LPB 2, and data length LDB2 grade. Thus, when the aforementioned transmit data SDB1 and SDB2 are stored, the start address of the aforementioned transmission buffer which stored the aforementioned transmit data SDB2 is stored in the aforementioned link pointer LPB 1 of the transmission buffer which stored the aforementioned transmit data SDB1 as an arrow shows by this drawing 28.

[0044] As opposed to the transmit data stored here ranging over two transmission buffers as shown in this drawing 28 The protocol header HTB is added that the transmit data of the protocol of the T aforementioned layers should be composed. In order to compose the transmit data of the protocol of the N aforementioned layers, the protocol header HNB is added. In case the protocol header HLLCB is added that the transmit data of the protocol of the aforementioned LLC layer should be composed, performing move processing of transmit data solvent deasphalting which was mentioned above in aforementioned drawing 21 - aforementioned drawing 24 ranging over two transmission buffers is also considered. That is, ranging over the two aforementioned transmission buffers shown in aforementioned drawing 28, performing move processing of the transmit data in each layer

accompanying addition of the protocol headers HTB and HNB in each layer and HLLCB is also considered.

[0045] On the other hand, to the aforementioned transmit data over the two aforementioned transmission buffers as shown in aforementioned drawing 28, with the protocol headers HTB and HNB of the T aforementioned layers, the N aforementioned layers, or the aforementioned LLC layer, and addition of HLLCB, as shown in drawing 29 - drawing 31, assigning one transmission buffer for every protocol header is also considered.

[0046] That is, since the protocol header HTB added is first stored in case the transmit data of the protocol of the T aforementioned layers is composed, as shown in aforementioned drawing 29, the one aforementioned transmission buffer of exclusive use is prepared. Moreover, in this transmission buffer in which this protocol HTB was stored, the start address of the aforementioned transmission buffer which stored the aforementioned transmit data SDB1 is written in the link pointer LPB 3.

[0047] Then, in case the aforementioned transmit data of the protocol of the N aforementioned layers is composed, as shown in aforementioned drawing 30, one transmission buffer of exclusive use is prepared and the protocol header HNB of this N layer is stored. The start address of the aforementioned transmission buffer in which the aforementioned protocol header HTB was stored is stored in the link pointer LPB 4 of this transmission buffer in which this protocol header HNB was stored.

[0048] Furthermore, in case the aforementioned transmit data of the protocol of the aforementioned LLC layer is composed, as shown in aforementioned drawing 31, the one aforementioned transmission buffer of exclusive use is prepared, and the aforementioned protocol header HLLCB is stored in the aforementioned transmit data storing field of this transmission buffer. Moreover, the start address of the aforementioned transmission buffer in which the aforementioned protocol header HNB was stored is stored in the link pointer LPB 5 of this transmission buffer in which this protocol header HLLCB was stored.

[0049] In addition, as shown in aforementioned drawing 25 or aforementioned drawing 27, in case the one aforementioned transmit data is divided into plurality, it is desirable to make the aforementioned storage capacity of the aforementioned transmission buffer into the divisor of the minimum thing among the maximum transmit data length of each layer (each class). By this, it is more efficient, and transmit data can be divided so that it may be restored to the aforementioned storage capacity L of a transmission buffer. Moreover, two or more transmission buffers in accordance with this can be linked more easily. Moreover, ** is possible if it also performs more easily cutting the link of a transmission buffer, inserting a new transmission buffer if needed, and storing a protocol header.

[0050]

[Goal(s) to be Achieved by the Invention] However, in the conventional communication controller

mentioned above, in order to compose the transmit data according to the predetermined protocol, when adding a protocol header to this transmit data, move processing of this transmit data stored in the transmission buffer etc. had to be performed.

[0051] For example, move processing of as opposed to [if shown in aforementioned drawing 21 - aforementioned drawing 24 , whenever it adds the protocol header HTA of the T aforementioned layers, the protocol header HNA of the N aforementioned layers, and the protocol header HLLCA of the aforementioned LLC layer] the aforementioned CPU transmit data solvent deasphalting had to be performed. That is, the aforementioned CPU transmit data solvent deasphalting had to be moved by the protocol headers HTA and HNA back added then whenever it is in the aforementioned transmit data storing field and adds a protocol header in this way, or the length of HLLCA.

[0052] Moreover, as shown, for example in aforementioned drawing 28 , when the division wetting ***** transmit data SDB1 and SDB2 are stored ranging over the two aforementioned transmission buffers, respectively, move processing of such transmit data will become more complicated. That is, whenever it adds a protocol header, ranging over two transmission buffers, you have to perform such move processing of transmit data.

[0053] In addition, as shown in aforementioned drawing 29 - aforementioned drawing 31 , it is not necessary to prepare the one aforementioned transmission buffer of exclusive use, and to perform move processing of such transmit data by the case where this is linked one by one, for every protocol header HTB and HNB to add and HLLCB. However, in order to use the one aforementioned transmission buffer of exclusive use to each protocol header, there is a problem that the number of transmission buffers needed and the size of the field will increase.

[0054] Moreover, in order to gain many transmission buffers in this way, the processing for it is required. The processing which gains a transmission buffer is aforementioned buffer memory 16 for transmission c. Since it is necessary to search the empty area in inside or to perform integration, arrangement, etc. of empty small area depending on the case, time is this thing comparatively. Therefore, when many transmission buffers are gained in this way, the problem that the whole processing time will be extended will be produced.

[0055] In order to compose the transmit data which was made for this invention to solve the aforementioned conventional trouble, and followed the predetermined protocol, In case a protocol header is added to this transmit data, move processing of this transmit data stored in the transmission buffer etc., decreasing more Moreover, it aims at offering the buffer memory data storage method for transmission and the buffer memory data storage equipment for transmission which can stop the number of transmission buffers and the size of a field which are needed.

[0056]

[Means for Achieving the Goal] First, the buffer data storage method for transmission of the 1st invention of this application After the transmit data transfer processing stored in the buffer for

transmission of storage capacity L, transmit data That the protocol header added at the time of transmission of the aforementioned transmit data should be added in order of the data array at the time of transmission In the buffer data storage method for transmission of performing header attached processing centering on the processing which stores the aforementioned protocol header in the head side of the aforementioned buffer for transmission In the case of the aforementioned transmit data transfer processing, it is related with the head and tail edge of the aforementioned transmit data. As this transmit data tail edge is packed to a back side, this transmit data is stored in the aforementioned buffer for transmission. Moreover, by having saved the information which shows the storing position of the aforementioned transmit data head in this buffer for transmission after storing in the aforementioned buffer for transmission of such aforementioned transmit data in the case of the aforementioned transmit data transfer processing The buffer data storage method for transmission that the aforementioned technical problem can be attained is offered.

[0057] In the aforementioned buffer data storage method for transmission of the 1st invention of the above amount-of-data M of the aforementioned transmit data moreover, in [than the aforementioned storage capacity L] more Followed the natural number N used as $\{(M/L) \leq N < (M+1) / (L)\}$. Securing a total of N aforementioned buffers for transmission at least, dividing the aforementioned transmit data one by one the aforementioned storage capacity every L from the aforementioned transmit data tail edge, going, and saving the information on the order of storing which followed what was divided in order of the division While attaining the aforementioned technical problem by having made it store in each aforementioned buffer for transmission one by one, amount-of-data M of the aforementioned transmit data makes correspondence possible more effectively, when [than the aforementioned storage capacity L] more.

[0058] Moreover, when the information which shows the storing position of the aforementioned transmit data head saved in the case of the aforementioned transmit data transfer processing is the address in the aforementioned buffer for transmission, while attaining the aforementioned technical problem, improvement of efficiency, such as the processing which requires to read-out of the information written in the aforementioned buffer for transmission, etc. plans, and improvement of processing speed etc. carries out in the aforementioned buffer data-storage method of the 1st invention of the above for transmission as it is possible.

[0059] In the aforementioned buffer data storage method for transmission of the 1st invention of the above moreover, the aforementioned order information of the order storing of division By being the address of the head of the following buffer for transmission which follows each buffer for transmission according to the order of division of the data stored in the buffer for transmission memorized by the link pointer prepared for every aforementioned buffer for transmission While attaining the aforementioned technical problem and the aforementioned amount-of-data M of the aforementioned transmit data enables it to correspond effectively by the case more than the

aforementioned storage capacity L, improvement in the processing speed by this, such as improvement in efficiency of processing at the time of reading the aforementioned buffer for transmission in that case, etc. is aimed at.

[0060] On the other hand, the buffer data storage equipment for transmission of the 2nd invention of this application After the transmit data transfer processing stored in the buffer for transmission of storage capacity L, transmit data That the protocol header added at the time of transmission of the aforementioned transmit data should be added in order of the data array at the time of transmission In the buffer data storage equipment for transmission which performs header attached processing centering on the processing which stores the aforementioned protocol header in the head side of the aforementioned buffer for transmission In the case of the aforementioned transmit data transfer processing, it is related with the head and tail edge of the aforementioned transmit data. The data transfer section which stores this transmit data in the aforementioned buffer for transmission as packs this transmit data tail edge to a back side, In the case of the aforementioned transmit data transfer processing, moreover, the storing-in aforementioned buffer for transmission of such aforementioned transmit data back, By having had the start-address information preservation section which saves the information which shows the storing position of the aforementioned transmit data head in this buffer for transmission, the buffer data storage equipment for transmission which can attain the aforementioned technical problem is offered.

[0061]

[Function] That the protocol header which adds the data for transmission at the time of transmission of the aforementioned transmit data after the transmit data transfer processing stored in the buffer for transmission of storage capacity L should be added in order of the data array at the time of transmission, in case the aforementioned protocol header is stored in the aforementioned buffer for transmission, it is stored in just before the front (nose-of-cam side) of the aforementioned transmit data especially about this protocol header. Each of 1st invention of the above of this application and 2nd invention of the above is made in this way paying attention to the point of being stored just before the front of the aforementioned transmit data.

[0062] Since the aforementioned protocol header is added and stored in just before the front of the aforementioned transmit data, even if it does not perform move processing of the above aforementioned transmit data, a certain thing already has a free area desirable [thus,] ahead of the aforementioned transmit data. For this reason, as this transmit data tail edge is packed to a back side, it is made to store this transmit data in the aforementioned buffer for transmission in this invention about the nose of cam and tail edge of the aforementioned transmit data which are stored in the aforementioned buffer for transmission in the case of the aforementioned transmit data transfer processing.

[0063] Thus, in being short, a free area can do data length M of the aforementioned transmit data

stored to the aforementioned storage capacity L of the aforementioned buffer for transmission by putting and storing in a back side ahead of this transmit data (just before). Therefore, according to the 1st invention of the above and the 2nd invention of the above of this application, a free area can be prepared ahead of this transmit data, without performing move processing of the aforementioned transmit data especially. Moreover, a required protocol header can be added immediately, using this free area effectively.

[0064] Drawing 1 is the address map of the buffer for transmission in which the summary of the 1st invention of the above of this application and the 2nd invention of the above is shown and to be used.

[0065] In this drawing 1, the memory map for one of the aforementioned buffer for transmission used with the aforementioned buffer data storage equipment for transmission of the 2nd invention of the above for one of the aforementioned buffer for transmission used by the aforementioned buffer data storage method for transmission of the 1st invention of the above is shown.

[0066] In this drawing 1, the aforementioned buffer for transmission used by the 1st invention of the above or the 2nd invention of the above consists of a management information storing field and a transmit data storing field. Especially the aforementioned management information storing field is constituted by the storing field of control information CD, and the storing field of the data start-address information SA. On the other hand, especially the aforementioned transmit data storing field is constituted by the transmit data field SD where the aforementioned transmit data is stored, and the intact free area in which the aforementioned transmit data is not stored especially.

[0067] First, it is not limited to the 1st invention of the above and the 2nd invention of the above having this about the aforementioned control information CD, and does not limit about the contents, either. However, generally, each buffer for transmission has a certain control information, and is equipped with the field of such control information CD.

[0068] Moreover, the aforementioned data start-address information SA is information which shows the address (storing position) of the head of the aforementioned transmit data field SD stored in the aforementioned transmit data storing field, i.e., a transmit data head. About the aforementioned transmit data stored in the aforementioned transmit data storing field, the data length serves as various length. Therefore, it is necessary to save a certain information (data) equivalent to the aforementioned data length LD shown in aforementioned drawing 20 or aforementioned drawing 26. this invention is not limited especially about the information which shows the storing position of the head of the aforementioned transmit data stored in such an aforementioned buffer for transmission.

[0069] For example, when this data start-address information SA is made into the address in the aforementioned buffer for transmission, for example, the absolute address, and the relative address over the aforementioned start-address SA, aforementioned transmit data start-address ADS shown in aforementioned drawing 1 can be known immediately. Usually, in case the aforementioned

transmit data is read, this transmit data start-address ADS is required first. Therefore, since this transmit data start-address ADS can be immediately obtained when it does in this way, it is possible to aim at improvement in the operation speed and processing speed.

[0070] Moreover, in this drawing 1 , as mentioned above, in the aforementioned buffer for transmission, especially the aforementioned transmit data storing field, the aforementioned transmit data is packed to the back side, and is stored. Therefore, a free area is on the head side of the aforementioned transmit data field SD, as shown in this drawing 1 . In addition, the start address serves as transmit data start-address ADS as shown in aforementioned drawing 1 about this transmit data field SD.

[0071] As shown in this drawing 1 , in case the transmit data which the aforementioned free area arose in the head side of the aforementioned transmit data field SD, for example, followed the predetermined protocol is composed according to the 1st invention of the above, or the 2nd invention of the above, it is possible to add the protocol header to the head of the aforementioned transmit data more easily. Therefore, it is possible to decrease move processing of the aforementioned transmit data more. Moreover, when using two or more aforementioned buffers for transmission, it is also possible to decrease move processing of the aforementioned transmit data more, stopping the number of transmission buffers and the size of a field which are needed.

[0072] In addition, the 1st invention of the above and the 2nd invention of the above of this application are limited to neither what does not link two or more transmission buffers like the conventional transmission buffer shown in aforementioned drawing 20 , or nor the thing which links two or more transmission buffers like the conventional transmission buffer shown in aforementioned drawing 26 . That is, like the conventional thing of aforementioned drawing 26 , using a link pointer etc., even if it uses two or more buffers for transmission, it is applicable. Conventionally, in this way, by the thing using two or more aforementioned buffers for transmission, ranging over two or more buffers for transmission, move processing of the above aforementioned transmit data had to be performed, and the processing was quite complicated.

[0073] However, it is possible to cut down such complicated processing by applying the 1st invention of the above or the 2nd invention of the above to the thing using two or more aforementioned buffers for transmission in this way. Under the present circumstances, it is also possible for there to be also especially no need using the aforementioned transmission buffer of a large number as shown in aforementioned drawing 29 - drawing 31 , and to stop the number of transmission buffers and the size of a field which are needed.

[0074] In addition, if it is when the 1st invention of the above or the 2nd invention of the above is applied to using two or more aforementioned buffers for transmission in this way, it is necessary to save the information on the order of storing to the order of division at the time of the aforementioned transmit data after division like the aforementioned link pointer LP shown in

aforementioned drawing 26 etc. being stored in two or more aforementioned buffers for transmission one by one. It is possible to be able to link two or more buffers for transmission immediately, to improve the efficiency of the processing which the read-out etc. takes, and to shorten the processing time more by considering as a link pointer as shown, for example in aforementioned drawing 26 , although it does not limit about the information on such order of storing especially in this invention, in case the aforementioned transmit data stored in the aforementioned buffer for transmission is read.

[0075]

[Example] Hereafter, the example of this invention is explained in detail using drawing.

[0076] Drawing 2 is the block diagram showing the composition of the example of the communication controller with which the aforementioned buffer data storage method for transmission of the 1st invention of the above and the aforementioned buffer data storage equipment for transmission of the 2nd invention of the above were applied.

[0077] The communication controller of the former mentioned above shown in this drawing 2 and aforementioned drawing 18 is compared, and as for this example, protocol control-section 12A and buffer memory 16A differ from the thing of aforementioned drawing 18 so that clearly. Moreover, it is in the aforementioned buffer memory 16A especially, and is buffer memory 16 for transmission a of this drawing 2 . It differs from the aforementioned buffer memory 16c for transmission of aforementioned drawing 18 .

[0078] The processing to the aforementioned bus control section 11 and the aforementioned line control section 14 grade about these protocol control-section 12A and buffer memory 16A is equivalent to the aforementioned protocol control-section 12B, aforementioned buffer memory 16B, etc. which were shown in aforementioned drawing 18 . It is only differing from the conventional thing of aforementioned drawing 18 at the point which applied the 1st invention of the above, and the 2nd invention of the above in the internal processing about these protocol control-section 12A or buffer memory 16A.

[0079] Drawing 3 is the block diagram showing the composition of the aforementioned protocol control section used in the aforementioned example.

[0080] Especially the aforementioned protocol control-section 12A shown in this drawing 3 is CPU transmit data processing section 12a. T layer data-processing section 12b N layer data-processing section 12c 12d of LLC layer data-processing sections Frame transmitting processing section 12e It is constituted.

[0081] About these, each function is the same as that of the corresponding thing shown in aforementioned drawing 19 of the same name. Namely, these CPUs transmit data processing section 12a, T layer data-processing section 12b, N layer data-processing section 12c, 12d of LLC layer data-processing sections And frame transmitting processing section 12e If it attaches, it is

only that the internal processing which attains the function differs from the thing of this name shown especially in aforementioned drawing 19 .

[0082] Drawing 4 is aforementioned CPU transmit data processing section 12a which the aforementioned example has. It is the block diagram showing composition.

[0083] As shown in this drawing 4 , it is aforementioned CPU transmit data processing section 12a. It is Request-to-Send receptionist section 13a especially. Buffer memory acquisition section 13b Data transfer section 13c 13d of start-address information preservation sections It is constituted. In addition, such this CPU transmit data processing section 12a About actual processing, it mentions later in more detail using the flow chart of drawing 14 .

[0084] Drawing 5 is a memory map which shows the composition for one of the aforementioned buffer for transmission used by this example.

[0085] aforementioned buffer memory 16 for transmission a shown in aforementioned drawing 2 **** -- the field of the aforementioned transmission buffer of composition as shown in this drawing 5 is secured suitably if needed Moreover, depending on the case, two or more of these transmission buffers may be prepared.

[0086] As shown in this drawing 5 , the aforementioned transmission buffer of this example is constituted by the field of control information CD, the field of the link pointer LP, the field of the data start-address information SAC, and the transmit data field SD and a free area.

[0087] Especially the buffer for transmission used by this example is further equipped with the aforementioned link pointer LP to the above-mentioned thing shown in aforementioned drawing 1 . This link pointer LP is the same as what was mentioned above using aforementioned drawing 26 - aforementioned drawing 31 .

[0088] Moreover, in this example, it has the data start-address information SAC corresponding to the aforementioned data start-address information SA in aforementioned drawing 1 . Transmit data start-address ADS by which this data start-address information SAC is illustrated, the start address, i.e., aforementioned drawing 5 , of the aforementioned transmit data field SD, is memorized. Especially, the absolute address of this transmit data start-address ADS is memorized.

[0089] Hereafter, the usage of the aforementioned buffer for transmission in this example is explained more concretely.

[0090] First, the data length of CPU transmit data SDC sent from the above CPU 1 about the storage capacity L of the aforementioned buffer for transmission of this example, The data length of the protocol header HTC added about this CPU transmit data at the time of protocol organization of the T aforementioned layers, The data length of the protocol header HNC added at the time of protocol organization of the N aforementioned layers, It becomes as the sum total of these data lengths with the data length of the protocol header HLLCC added at the time of protocol organization of the aforementioned LLC layer is shown in drawing 6 - drawing 9 to the

aforementioned storage capacity L, when short.

[0091] That is, as shown in aforementioned drawing 6 , when the aforementioned CPU transmit data SDC is first sent from the above CPU 1, as it puts to a back side, the aforementioned CPU transmit data SDC is stored in the aforementioned buffer for transmission of this example. Therefore, a free area becomes the upper part side of the aforementioned transmit data storing field. That is, between the aforementioned data start address information SAC1 and the aforementioned CPU transmit data SDCs serves as a free area.

[0092] Next, it becomes as it is shown in aforementioned drawing 7 , when the aforementioned protocol header HTC is added on the occasion of protocol organization of the T aforementioned layers. That is, the aforementioned protocol header HTC is stored in just before the aforementioned CPU transmit data SDC stored in the back side in the aforementioned transmit data storing field as put. Since the storing position serves as the aforementioned free area in the case of such storing of this protocol header HTC, move processing of the aforementioned transmit data SDC is not required.

[0093] The free area in the aforementioned transmit data storing field is used like the following also in the case of addition of each protocol header HNC and HLLCC in the case of protocol organization of the N aforementioned layers or the aforementioned LLC layer. Therefore, if this free area exists, as shown in aforementioned drawing 8 or aforementioned drawing 9 , the protocol headers HNC and HLLCC at the time of organization of such a protocol can be stored immediately, and move processing of the aforementioned CPU transmit data SDC for obtaining the space for this storing will become unnecessary. That is, the aforementioned protocol header HLLCC is first stored like aforementioned drawing 9 after storing the aforementioned protocol header HNC like aforementioned drawing 8 .

[0094] Next, drawing 10 is a thing at the time of being aimed at one CPU transmit data which becomes by transmit data SDD1-SDD4. In this drawing 10 , the data length of the sum total of this CPU transmit data is especially longer than 3L about the aforementioned storage capacity L of the buffer for transmission of this example, and it is a case below 4L.

[0095] In such a case, as shown in this drawing 10 , corresponding to the four aforementioned buffers for transmission, sequentially from the tail edge side of the aforementioned transmit data, it is divided one by one and what was divided is stored in the respectively different aforementioned buffer for transmission one by one the aforementioned storage capacity every L. Moreover, storage preservation of the value of the link pointers LPD1-LPD4 of each aforementioned buffer for transmission is carried out as information on the order of storing to the order of division.

[0096] Here, since it is divided one by one from the tail edge of the aforementioned transmit data in this way, a free area exists to the portion by the side of the head of this transmit data, i.e., the portion in front of the front of the aforementioned transmit data SDD1. Therefore, the T

aforementioned layers and the N aforementioned layers of things written in such a free area ahead of the aforementioned transmit data SDD1 one by one are possible for each corresponding protocol header HTD1, HND1, and HLLCD1 again at the time of organization of the transmit data of the protocol of the aforementioned LLC layer. Therefore, it is not necessary to perform move processing etc. about the aforementioned transmit data SDD1-SDD4 at the time of the writing of such a protocol header.

[0097] In addition, it may be necessary to divide to two completely separated wording of a telegram (message) about the aforementioned transmit data SDD1-SDD4 stored in each aforementioned buffer for transmission as shown in aforementioned drawing 10.

[0098] For example, it is the case where a limit arises from a certain hierarchy (layer) to the length (the maximum length) of the transmit data in a low rank etc. For example, when the length for the three aforementioned buffers for transmission is an upper limit, in the front of the data of the buffer for transmission with which the aforementioned transmit data SDD4 was stored, it is necessary to divide into two wording of a telegram in aforementioned drawing 10. That is, it is necessary to divide between that in which the aforementioned transmit data SDD3 was stored, and the thing in which the aforementioned transmit data SDD4 was stored.

[0099] In such a case, what is necessary is just to newly form another protocol headers HTD2, HND2, and HLLCD2 ahead of the data of the aforementioned buffer for transmission with which the aforementioned transmit data SDD4 was stored. That is, it is as being shown in drawing 11 and drawing 12.

[0100] Three buffers for transmission with which the aforementioned transmit data SDD1-SDD3 were stored and which are linked to order are shown by this drawing 11. On the other hand, the one aforementioned buffer for transmission used for addition of the protocol header HTD2 of the T aforementioned layers, the protocol header HND2 of the N aforementioned layers, and the protocol header HLLCD2 of the aforementioned LLC layer is used as a protocol header to the data of this buffer for transmission with the aforementioned buffer for transmission with which the aforementioned data SDD4 for transmission were stored in aforementioned drawing 12.

[0101] Thus, as shown in aforementioned drawing 11, aforementioned drawing 12, etc., in case it divides into two wording of a telegram according to this example, it is not necessary to perform move processing of the data about the aforementioned data SDD1-SDD4 for transmission that what is necessary is to perform only processing about the aforementioned buffer for transmission with which the aforementioned protocol headers HTD2, HND2, and HLLCD2 are stored.

[0102] Drawing 13 is a flow chart which shows the processing performed by the aforementioned protocol control section in this example.

[0103] It sets to this drawing 13 and is aforementioned CPU transmit data processing section 12a of aforementioned drawing 3 at Step S110 first. Processing of a transfer of the transmit data made is

shown. Transfer processing of this transmit data is this CPU transmit data processing section 12a, using the aforementioned bus control section 11 in aforementioned drawing 2 . The transmit data from the above CPU 1 is transmitted. About the processing made at this step S110, it mentions later in more detail using the flow chart of drawing 14 .

[0104] Then, at Step S112, it is aforementioned T layer data-processing section 12b of the aforementioned protocol control-section 12A. T layer protocol processing is shown. Moreover, at Step S114, it is aforementioned N layer data-processing section 12c. The N layer protocol processing made is shown. At Step S116, it is the 12d of the aforementioned LLC layer data-processing sections. The LLC layer protocol processing made is shown. It seems that each mentions later each protocol processing made at these steps S112-S116 using the flow chart of drawing 15 . Each of the protocol processings shown at these steps S112-S116 becomes one processing shown in aforementioned drawing 15 . Each of these protocol processings is mainly aforementioned buffer memory 16for transmission a. It is received and made.

[0105] Then, at Step S118, it is aforementioned frame transmitting processing section 12e. And it is the frame transmitting processing performed in the aforementioned line control section 14. This frame transmitting processing is aforementioned buffer memory 16for transmission a. The obtained final transmit data is transmitted to the other party's CPU etc. through the aforementioned line control section 14 and the aforementioned transmission line 3.

[0106] Drawing 14 is a flow chart which shows transfer processing of the transmit data made by this example.

[0107] Transfer processing of the transmit data of the aforementioned step S110 shown in aforementioned drawing 13 is shown as the sub routine by the flow chart of this drawing 14 .

[0108] It sets to this drawing 14 and is aforementioned CPU transmit data processing section 12a of the aforementioned protocol control-section 12A at Step S132 first. The data Request to Send from the above CPU 1 transmitted via the aforementioned bus control section 11 grade is received. Then, at Step S134, the data length of the transmit data corresponding to the aforementioned data Request to Send received at the aforementioned step S132 is acquired from the above CPU 1. At continuing Step 136, it is based on the data length of the aforementioned transmit data obtained at the aforementioned step S134, and is aforementioned buffer memory 16for transmission a. The buffer for transmission actually used is gained inside.

[0109] Then, it is aforementioned buffer memory 16for transmission a from the above CPU 1 by repeating the loop of Steps S138 and S140. Transmit data is transmitted. At this time, as this transmit data is packed from the back side of the aforementioned transmit data storing field to the aforementioned buffer for transmission shown in aforementioned drawing 5 gained at the aforementioned step S136, it is stored.

[0110] Moreover, all the aforementioned transmit data are aforementioned buffer memory 16for

transmission a. After being stored and completing the aforementioned steps S138 and S140, the aforementioned data start-address information SAC shown in aforementioned drawing 5 at Step S142 is saved. In addition, this data start-address information SAC is aforementioned transmit data start-address ADS shown in aforementioned drawing 5.

[0111] Based on the aforementioned data length obtained at the aforementioned step S134, you may calculate this transmit data start-address ADS. Or in the case of the data transfer in the aforementioned steps S138 and S140, this transmit data start-address ADS may detect aforementioned transmit data start-address ADS in which the final aforementioned transmit data is written, and may be calculated. Moreover, when this data start-address information is searched for from the aforementioned data length in the aforementioned step S134, it is possible to perform this step S142 to the arbitrary timing after the aforementioned step 134.

[0112] Drawing 15 is a flow chart which shows the protocol processing performed by this example.

[0113] This protocol processing is aforementioned T layer data-processing section 12b. It is the aforementioned T layer protocol processing which is performed and which is performed at the aforementioned step S112. Or aforementioned N layer data-processing section 12c It is the aforementioned N layer protocol processing of the aforementioned step S114 performed. The 12d or the aforementioned LLC layer data-processing sections It is the aforementioned LLC layer protocol processing performed.

[0114] In this drawing 15, the PDU length who shows the data length of the transmit data of the protocol generated on the hierarchy (layer) of the protocol processing is first cleared to "0" at Step S162. That is, "0" is written in the register which memorizes this PDU length.

[0115] Here, PDU length is the sum of the data length of transmit data and the data length of a protocol header which are treated by a certain layer. That is, this PDU length is a data length of the whole transmit data also containing the protocol header added by the layer. Since the variable which shows the length of the data already written in the buffer is stored, the register which memorizes this PDU length is used. Moreover, the greatest data length which can be treated by the layer was decided by the protocol, and this is called maximum PDU length. Each needs to divide the transmit data exceeding such maximum PDU length in a certain layer to two or more completely separated wording of a telegram (message) which has a protocol header in the layer.

[0116] Then, at Step S164, it judges that it is the end of transmit data. If it is an end, it will progress to S166 continuously. On the other hand, if it is not an end, it will progress to Step S170 continuously.

[0117] First, at the aforementioned step S170, the data length of the data memorized into the transmission buffer is added to the aforementioned PDU length.

[0118] Then, at Step S172, it judges whether the aforementioned transmit data is divided to two or more transmission buffers based on the aforementioned PDU length. If the aforementioned PDU

length added at the aforementioned step S170 is less than maximum PDU length, it will judge with not dividing and will branch ahead of this step 172 to the aforementioned step S164. On the other hand, if the aforementioned PDU length becomes larger than the aforementioned maximum PDU length, it judges with dividing, and it will progress to Step S174 continuously.

[0119] At the aforementioned step S174, the aforementioned transmit data is divided just behind the transmission buffer processed at present. Then, it reaches just before the next aforementioned transmission buffer of this division part, and header attached processing is performed at Step S176.

[0120] On the other hand, when judged with a transmit data end at the aforementioned step S164, the same header attached processing as the aforementioned step S176 is performed at the aforementioned step S166. Header attached processing performed by these steps S176 or S166 is later mentioned in detail using drawing 16. Moreover, after this step S166, all processings shown in this drawing 15 are ended, and it returns to the next processing in which the protocol processing concerned was called.

[0121] Drawing 16 is a flow chart which shows header attached processing performed by this example.

[0122] This header attached processing is processing called in the aforementioned step 176 or the aforementioned step 166 in the aforementioned protocol processing shown in aforementioned drawing 15.

[0123] In this drawing 16, it judges first whether the field which stores the protocol header which should be added is in the aforementioned free area shown in aforementioned drawing 5 at Step S212. If there is a storing field, next, it will progress to Step S214. On the other hand, when there is no storing field, next, it progresses to Step S220.

[0124] First, at the aforementioned step S214, the protocol header in the layer is stored in just before the aforementioned transmit data field SD to the aforementioned empty field shown in aforementioned drawing 5. Furthermore, the data length of this protocol header is added to the aforementioned PDU length. As mentioned above, since the aforementioned PDU length is the sum of the data length of the transmit data, and the data length of the protocol header at that time, he adds the data length of the protocol header stored this time in this way to the aforementioned PDU length.

[0125] Furthermore, the value of the aforementioned data start-address information SAC is updated. That is, the value of a part for the length of the aforementioned protocol header stored this time and the aforementioned data start-address information SAC is subtracted. Since this stored the protocol header in this way this time, it is because a free area becomes short only in the part of the data length of this protocol header, and the address at the tail end of this free area also becomes small and aforementioned transmit data start-address ADS becomes small [the part].

[0126] On the other hand, at the aforementioned step S220, the protocol header of the layer at that

time is stored in the range storable in the aforementioned free area of the aforementioned buffer for transmission at that time. Moreover, the aforementioned data start-address information SAC on the buffer for transmission and the value of the aforementioned PDU length are updated after such storing. Moreover, since the aforementioned free areas run short, at this step S220, the another new aforementioned buffer for transmission is gained. Moreover, at Step S222, the non-stored portion of the aforementioned protocol header stored in the aforementioned buffer for transmission gained this time this time is stored in the aforementioned buffer for transmission gained this time, and the aforementioned data start-address information SAC etc. is updated. Under the present circumstances, at Step S224, the value of the aforementioned link pointer LP of the aforementioned buffer for transmission of the last before acquisition is updated to the start address of the gained aforementioned buffer for transmission.

[0127] As shown, for example in the memory map of aforementioned drawing 5 , in this example, it is possible to apply the aforementioned buffer data storage method for transmission of the 1st invention of the above, as explained above. Moreover, as shown in this drawing 5 , aforementioned drawing 4 , etc., the communication controller with which the 2nd invention of the above was applied can be offered.

[0128] Therefore, according to this example, in case the transmit data which followed [in / again / N layers / the aforementioned LLC layer etc. / T aforementioned layer or aforementioned] the predetermined protocol is composed, it is possible to exclude the move processing of the aforementioned transmit data for adding the protocol header which comes out, respectively. Moreover, the number of transmission buffers and the size of a field which are needed can be stopped simultaneously, cutting down move processing of the aforementioned transmit data more, in case two or more transmission buffers are used, as mentioned above using aforementioned drawing 10 - aforementioned drawing 12 . It seems that for example, it is not said in this example that a transmission buffer is gained superfluously in order to add a protocol header like before shown in aforementioned drawing 31 .

[0129]

[Effect of the Invention] In order to compose the transmit data according to the predetermined protocol according to this invention as explained above, In case a protocol header is added to this transmit data, move processing of this transmit data stored in the buffer for transmission etc., decreasing more Moreover, the outstanding effect that the buffer data storage method for transmission and the buffer data storage equipment for transmission which can stop the number of transmission buffers and the size of a field which are needed can be offered can be acquired.

[Brief Description of the Drawings]

[Drawing 1] The memory map view of the buffer for transmission in which the summary of the buffer data storage method for transmission of the 1st invention of this application and the buffer

data storage equipment for transmission of the 2nd invention is shown

[Drawing 2] The block diagram showing the composition of the example of the communication controller with which the 1st invention of the above and the 2nd invention of the above were applied

[Drawing 3] The block diagram showing the composition of the protocol control section used for the aforementioned example

[Drawing 4] The block diagram showing the composition of the aforementioned CPU transmit data processing section of the aforementioned protocol control section of the aforementioned example

[Drawing 5] The memory map view of the buffer for transmission used for the aforementioned example

[Drawing 6] The memory map view of the aforementioned buffer for transmission of the 1st step explaining the operation at the time of using the one aforementioned buffer for transmission in the aforementioned example

[Drawing 7] The memory map view of the aforementioned buffer for transmission of the 2nd step explaining the operation at the time of using the one aforementioned buffer for transmission in the aforementioned example

[Drawing 8] The memory map view of the aforementioned buffer for transmission of the 3rd step explaining the operation at the time of using the one aforementioned buffer for transmission in the aforementioned example

[Drawing 9] The memory map view of the aforementioned buffer for transmission of the 4th step explaining the operation at the time of using the one aforementioned buffer for transmission in the aforementioned example

[Drawing 10] The memory map view of this buffer for transmission explaining the operation at the time of using two or more aforementioned buffers for transmission in the aforementioned example

[Drawing 11] The 1st memory map view of the aforementioned buffer for transmission at the time of dividing transmit data in the aforementioned example, using two or more aforementioned buffers for transmission

[Drawing 12] The 2nd memory map view of the aforementioned buffer for transmission at the time of dividing transmit data in the aforementioned example, using two or more aforementioned buffers for transmission

[Drawing 13] The flow chart which shows the processing made by the protocol control section used in the aforementioned example

[Drawing 14] The flow chart which is made by the aforementioned protocol control section and which shows especially transfer processing of transmit data

[Drawing 15] The flow chart which is made by the aforementioned protocol control section and which shows especially protocol processing

[Drawing 16] The flow chart which shows header attached processing performed by the

forementioned protocol processing of the aforementioned example

[Drawing 17] The block diagram showing the layer composition of the protocol communication used and applied to general from the former

[Drawing 18] The block diagram showing the composition of the conventional communication controller

[Drawing 19] The block diagram showing the composition of the protocol control section of the aforementioned conventional communication controller

[Drawing 20] The 1st memory map view of the buffer for transmission used for the aforementioned conventional communication controller

[Drawing 21] The memory map explaining an operation with the aforementioned conventional communication controller of the 1st step of the aforementioned buffer for transmission

[Drawing 22] The memory map explaining an operation with the aforementioned conventional communication controller of the 2nd step of the aforementioned buffer for transmission

[Drawing 23] The memory map explaining an operation with the aforementioned conventional communication controller of the 3rd step of the aforementioned buffer for transmission

[Drawing 24] The memory map explaining an operation with the aforementioned conventional communication controller of the 4th step of the aforementioned buffer for transmission

[Drawing 25] The 1st data block diagram showing division of the transmit data in the aforementioned conventional communication controller

[Drawing 26] The 2nd memory map view of the buffer for transmission used for the aforementioned conventional communication controller

[Drawing 27] The 2nd data block diagram showing division of the transmit data in the aforementioned conventional communication controller

[Drawing 28] The memory map view of the aforementioned buffer for transmission of the 1st step explaining the operation at the time of using two or more aforementioned buffers for transmission with the aforementioned conventional communication controller

[Drawing 29] The memory map view of the aforementioned buffer for transmission of the 2nd step explaining the operation at the time of using two or more aforementioned buffers for transmission with the aforementioned conventional communication controller

[Drawing 30] The memory map view of the aforementioned buffer for transmission of the 3rd step explaining the operation at the time of using two or more aforementioned buffers for transmission with the aforementioned conventional communication controller

[Drawing 31] The memory map view of the aforementioned buffer for transmission of the 4th step explaining the operation at the time of using two or more aforementioned buffers for transmission with the aforementioned conventional communication controller

[Description of Notations]

- 1 -- CPU
- 2 -- Communication controller
- 3 -- Transmission line
- 11 -- Bus control section
- 12A, 12B -- Protocol control section
- 12a 12j -- CPU transmit data processing section
- 12b 12k -- T layer data processing section
- 12c 12m -- N layer data processing section
- 12d 12n -- LLC layer data processing section
- 12e 12p -- Frame traffic processing section
- 13a -- Request-to-Send receptionist section
- 13b -- Buffer memory acquisition section
- 13c -- Data transfer section
- 13d -- Start-address information preservation section
- 14 -- Line control section
- 16A, 16B -- Buffer memory
- 16a 16c -- Buffer memory for transmission
- 16b -- Buffer memory for reception